

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 09-116107

(43) Date of publication of application : 02.05.1997

(51)Int.Cl.

H01L 27/10
G11C 11/22
G11C 14/00
H01L 27/108
H01L 21/8242
H01L 21/8247
H01L 29/788
H01L 29/792

(21) Application number : 07-267274

(71)Applicant : SONY CORP

(22) Date of filing : 16.10.1995

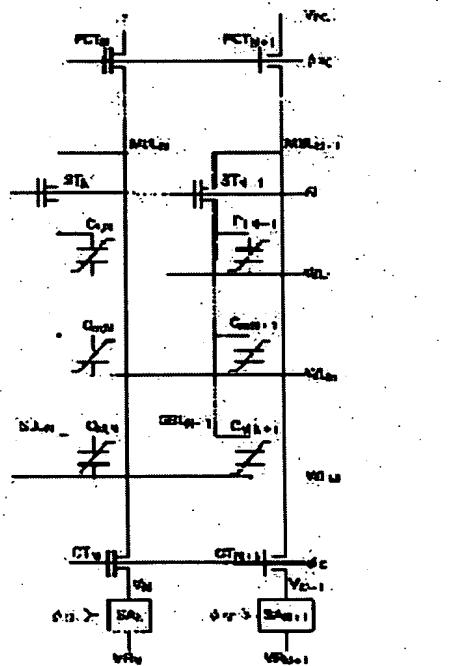
(72)Inventor : ARASE KENSHIROU

(54) FERROELECTRIC STORAGE DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To realize a large-capacity ferroelectric storage device whereinto many memory cells can be integrated each of which comprises only one ferroelectric capacitor.

SOLUTION: Respective main bit lines MBLN, MBLN+1 laid in the form of columns are connected selectively with arbitrary auxiliary bit lines SBLN, SBLN+1 from among a plurality of auxiliary bit lines via selection transistors STN, STN+1. In the grid positions wherein a plurality of word lines WL1-WLM laid in the form of rows intersect the foregoing auxiliary bit lines, memory cells Cm,N, Cm,N+1 comprising ferroelectric capacitors are disposed one by one. Further, one electrode of each foregoing ferroelectric capacitor is connected with each foregoing auxiliary bit line, and the other electrode of each foregoing ferroelectric capacitor is connected with each foregoing word line.



LEGAL STATUS

[Date of request for examination] 28.03.2000
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number] 3327071
[Date of registration] 12.07.2002
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. * ** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] By constituting a memory cell from one ferroelectric capacitor fundamentally, this invention relates to the ferroelectric storage in which high accumulation and large-capacity-izing are possible, and relates to the device structure, device actuation operation, and the manufacture method especially.

[0002]

[Description of the Prior Art] A ferroelectric capacitor is constituted for the oxide ferroelectric materials (for example, PbZrTiO₃ etc.) which make a perovskite structure, or the oxide ferroelectric materials (for example, BiSr₂Ta₂O₉ etc.) which make Bi system stratified perovskite structure as a capacitor insulator layer, and the ferroelectric storage which memorizes data according to the direction of polarization of the ferroelectric capacitor concerned is known.

[0003] Hereafter, it relates and the hysteresis characteristic of a ferroelectric capacitor is explained to drawing 12. In drawing 12, as for a hysteresis characteristic, (b), and (c), (a) shows mutually the condition of a capacitor that the 1st data (following data 1) of opposition and the 2nd data (following data 0) were written in, respectively.

[0004] In the hysteresis characteristic which shows ferroelectric storage to drawing 12 (a) The condition (inside A of drawing) that impressed voltage by the side of plus to the ferroelectric capacitor (inside C of drawing), and the remanence charge of +Q_r remained Data 1 (the 1st data), Voltage by the side of minus is impressed (inside D of drawing). - It uses as memory of a non-volatile by using as data 0 (the 2nd data) the condition (inside B of drawing) that the remanence charge of Q_r remained.

[0005] By the way, the method (following 1TR-1CAP mold cel) of constituting one memory cell from one selection transistor and one ferroelectric capacitor is learned as what uses the ferroelectric capacitor mentioned above as ferroelectric storage of a non-volatile.

[0006] Drawing 13 is memory array drawing of the ferroelectric storage which has a 1TR-1CAP mold cel.

[0007] The memory array of drawing 13 is making the so-called clinch bit line structure, and the plate electrode line for MA and MA' to drive a word line for plate electrode line, RWLA, and RWLA' to drive a bit line as for word line, BLA, and BLA', and for reference cell, WLA, and WLA' drive a reference cell in memory cell, MRA, and MRA', as for PLA among drawing, and for RPLA drive a reference cell and CL show the load-carrying capacity of each bit line BLA and BLA', respectively. A memory cell MA is constituted by the selection transistor TA and the ferroelectric capacitor CA, and memory cell MA' is constituted by selection transistor TA' and ferroelectric capacitor CA'. A reference cell MRA and MRA' are prepared in order to carry out comparison read-out of the data of a memory cell MA and MA', in the case of a reference cell MRA, they are constituted by the selection transistor TRA and the ferroelectric capacitor CRA, and, in reference cell MRA', are constituted by selection transistor TRA' and ferroelectric capacitor CRA'.

[0008] In the ferroelectric storage which has the 1TR-1CAP mold cel of drawing 13 For example, data

read-out of a memory cell MA the comparison with reference cell MRA' connected to comparison bit line BLA' which carried out reading appearance and adjoined in the direction of a clinch of a bit line BLA performs -- having -- the data reading appearance of memory cell MA' -- carrying out -- It is carried out by the comparison with the reference cell MRA connected to the comparison bit line BLA which adjoined in the direction of a clinch of read-out bit line BLA'. Moreover, in a reference cell MRA and MRA', capacitor area or bias voltage is adjusted and an optimum design is carried out so that it may be in an intermediate state in case reading appearance of the remanence charge of +Qr or -Qr is carried out in the hysteresis characteristic of drawing 12 (a), respectively. therefore, in a 1TR-1CAP mold cel, reading appearance is carried out, the potential difference between the comparison bit lines by the cel carry out reading appearance and according to a bit line and a reference cell is alike with a sense amplifier SA, is amplified, and the judgment of data is made.

[0009]

[Problem(s) to be Solved by the Invention] By the way, it sets to the ferroelectric storage which has the 1TR-1CAP mold cel mentioned above. Although reservation of the DISUTABU prevention at the time of data writing and the margin of operation at the time of data read-out is easy since the memory cell consists of one selection transistor and one ferroelectric capacitor When a memory cell compares with other nonvolatile storages which consist of one element, for example, a flash memory, EPROM, etc., memory cell area becomes large and there is a problem thatizing cannot be carried out [large capacity].

[0010] This invention is made in view of this situation, and the purpose is in offering the ferroelectric storage in which high accumulation and large-capacity-izing are possible by constituting a memory cell only from one ferroelectric capacitor fundamentally in the ferroelectric storage which performs a data storage according to the direction of polarization of a ferroelectric capacitor.

[0011]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, ferroelectric storage of this invention Each main bit line wired in the shape of a train is connected to two or more subbit lines through a connecting means. A memory cell which changes from one ferroelectric capacitor to a grid location where the above-mentioned subbit line and two or more word lines wired by behavior cross, respectively is arranged. One electrode of others [electrode / of each ferroelectric capacitor / one] is connected to the above-mentioned subbit line at the above-mentioned word line, and one of data of the 1st data of opposition or the 2nd data is mutually memorized according to the direction of polarization of the above-mentioned dielectric capacitor.

[0012] Moreover, in the above-mentioned ferroelectric storage, the above-mentioned connecting means is an MOS mold semiconductor device, other one side is connected to the above-mentioned subbit line, gate electrode is connected to a selector-gate line, and either a source electrode of the MOS mold semiconductor device concerned or a drain electrode connects the above-mentioned main bit line and a subbit line to the above-mentioned main bit line in actuation according to applied voltage of the gate line concerned.

[0013] Moreover, writing of as opposed to a memory cell in the above-mentioned ferroelectric storage of the 1st data Voltage impression is carried out in the direction in which subbit line potential chosen from word line potential to choose becomes high. Carry out by making polarization of the ferroelectric capacitor carry out in the above-mentioned impression electric-field direction, and writing of the 2nd data to a memory cell Voltage is impressed in the direction in which subbit line potential chosen from word line potential to choose becomes low, and it carries out by making polarization of the ferroelectric capacitor carry out in the above-mentioned impression electric-field direction.

[0014] moreover, reading appearance of receiving [the above-mentioned ferroelectric storage]-memory cell data -- carrying out -- it connects with a subbit line which chooses the main bit line, word line voltage to choose is changed, a polarization condition of a ferroelectric capacitor is changed, and data is judged by detecting change of the main bit line potential according to change of a polarization condition of the ferroelectric capacitor concerned.

[0015] Moreover, the above-mentioned ferroelectric storage performs re-writing of data to the memory

cell concerned after read-out of data to the above-mentioned memory cell.

[0016] moreover, the above-mentioned ferroelectric storage is performed to all memory cell packages connected to a word line in which data to a memory cell carries out writing or reading appearance and, which re-writing chooses by having a sense amplifier of latching corresponding to each main bit line, carrying out reading appearance to the sense amplifier concerned, and latching data or write-in data. [0017] Moreover, writing of the above-mentioned data consists of an elimination step which writes the 1st data or 2nd data in a package to all memory cells that stand in a row in a selected word line, and a write-in step which writes in the above-mentioned opposition data after the above-mentioned elimination step to a memory cell in which the above-mentioned elimination data and data of opposition should be written in the above-mentioned ferroelectric storage.

[0018] Moreover, in the above-mentioned ferroelectric storage, writing of the above-mentioned data is performed in order for every word line by making into an unit all word lines that intersect a subbit line chosen by selector-gate line.

[0019] Moreover, in the above-mentioned ferroelectric storage, read-out and re-writing of the above-mentioned data are performed in order for every word line by making into an unit all word lines that intersect a subbit line chosen by selector-gate line.

[0020] Moreover, a manufacture method of ferroelectric storage of this invention has a production process which forms a lower layer capacitor electrode of each memory cell with the above-mentioned subbit line; a production process which forms a ferroelectric capacitor insulator layer of each memory cell, a production process which forms the upper capacitor electrode for every memory cell, a production process which forms the above-mentioned word line so that the above-mentioned word line may be connected to the above-mentioned upper capacitor electrode for every memory cell, and a production process which forms the above-mentioned main bit line.

[0021] Moreover, in an above-mentioned manufacture method, the above-mentioned lower layer capacitor electrode (the above-mentioned subbit line) is formed with platinum of the 1st layer, or an oxide system ceramic material. The above-mentioned ferroelectric capacitor insulator layer is formed with an oxide ferroelectric material which makes an oxide ferroelectric material or Bi system stratified perovskite structure which makes a perovskite structure. The above-mentioned upper capacitor electrode is formed with platinum of the 2nd layer, or an oxide system ceramic material. The above-mentioned word line is formed of aluminum, its alloy, or bipolar membrane of the 1st layer, and the above-mentioned main bit line is formed of aluminum, its alloy, or bipolar membrane of the 2nd layer.

[0022] According to ferroelectric storage of this invention, since a memory cell consists of only one ferroelectric capacitor fundamentally, memory cell area becomes small, and high integration of it is attained, and it is suitable for large-capacity-izing.

[0023] Furthermore, a bit line (the main bit line) is divided into two or more subbit lines, the memory cell number which stands in a row in a bit line (the main bit line) at the time of data writing and data read-out since a memory cell is arranged in a grid location where the above-mentioned subbit line and two or more word lines wired by behavior cross is divided, and DISUTABU at the time of data writing is mitigated, and reservation of a margin at the time of data read-out becomes easy.

[0024] Moreover, connection control with the above-mentioned main bit line and a subbit line is possible by connecting the above-mentioned main bit line and a subbit line in actuation according to applied voltage of a selector-gate line.

[0025] Moreover, writing of the 1st data to a memory cell Voltage is impressed in the direction in which subbit line potential chosen from word line potential to choose becomes high. Carry out by making polarization of the ferroelectric capacitor carry out in the above-mentioned impression electric-field direction, and writing of the 2nd data to a memory cell It is possible by impressing voltage in the direction in which subbit line potential chosen from word line potential to choose becomes low, and making polarization of the ferroelectric capacitor carry out in the above-mentioned impression electric-field direction.

[0026] moreover, reading appearance of data to a memory cell -- carrying out -- it is possible to judge data by connecting with a subbit line which chooses the main bit line, changing word line voltage to

choose, changing a polarization condition of a ferroelectric capacitor, and detecting change of the main bit line potential according to change of a polarization condition of the ferroelectric capacitor concerned.

[0027] moreover, it becomes recoverable [data], even if data carries out reading appearance and the contents of data in a memory cell are sometimes destroyed by data to the above-mentioned memory cell carrying out reading appearance, and performing re-writing of data to the memory cell concerned behind.

[0028] moreover, since it is carried out to all memory cell packages connected to a word line in which data to a memory cell carries out writing or reading appearance and, which re-writing chooses by having a sense amplifier of latching corresponding to each main bit line, carrying out reading appearance to the sense amplifier concerned, and latching data or write-in data, it becomes [high-speed writing and high-speed read-out of data] possible and is suitable.

[0029] Moreover, an elimination step which writes the 1st data or 2nd data in a package to all memory cells that stand in a row in a word line with which writing of the above-mentioned data was chosen, By constituting from a write-in step which writes in the above-mentioned opposition data after the above-mentioned elimination step to a memory cell in which the above-mentioned elimination data and data of opposition should be written It is possible to mitigate DISUTABU voltage impressed to a non-choosing memory cell at the time of data writing.

[0030] Moreover, writing of the above-mentioned data can restrict a count of DISUTABU which joins a non-choosing memory cell at the time of data writing by performing them in order for every word line, using as an unit all word lines that intersect a subbit line chosen by selector-gate line.

[0031] Moreover, read-out and re-writing of the above-mentioned data can restrict a count of DISUTABU which joins a non-choosing memory cell at the time of data re-writing by performing them in order for every word line, using as an unit all word lines that intersect a subbit line chosen by selector-gate line.

[0032] Moreover, according to a manufacture method of ferroelectric storage of this invention, a lower layer capacitor electrode of each memory cell is formed by subbit line, and, subsequently, a ferroelectric capacitor insulator layer of each memory cell is formed. And the upper capacitor electrode for every memory cell is formed, the above-mentioned word line is formed so that a word line may be connected to the upper capacitor electrode for every memory cell, and subsequently the main bit line is formed.

[0033] The above-mentioned lower layer capacitor electrode (the above-mentioned subbit line) is more specifically formed with platinum of the 1st layer, or an oxide system ceramic material. The above-mentioned ferroelectric capacitor insulator layer is formed with an oxide ferroelectric material which makes an oxide ferroelectric material or Bi system stratified perovskite structure which makes a perovskite structure. The above-mentioned upper capacitor electrode is formed with platinum of the 2nd layer, or an oxide system ceramic material. The above-mentioned word line is formed of aluminum, its alloy, or bipolar membrane of the 1st layer, and the above-mentioned main bit line is formed of aluminum, its alloy, or bipolar membrane of the 2nd layer.

[0034]

[Embodiment of the Invention] Drawing 1 is drawing showing the memory array in the ferroelectric storage concerning this invention.

[0035] memory array drawing of drawing 1 -- setting -- two main bit line MBLN in drawing, and MBLN+1 receiving -- respectively -- one subbit line SBLN and SBLN+1 **** -- although not illustrated -- since this is expedient -- it is -- actual -- each -- the main bit line pair is carried out and two or more subbit lines are connected. Moreover; although the word line number which intersects a subbit line has become M among drawing, 4, 8, or about 16 are specifically suitable for it.

[0036] Setting to memory array drawing of drawing 1 , WL1, WLm, and WLM are a word line, MBLN, and MBLN+1. The main bit line, SBLN, and SBLN+1 A subbit line, STN, and STN+1 The selection transistor which connects the main bit line and a subbit line in actuation according to actuation is shown, respectively, and it is the selection transistor STN and STN+1. It is controlled by the selector-gate line SL. Each word lines WL1, WLm, and WLM, each ** bit line SBLN, and SBLN+1 One ferroelectric

capacitors C1 and N which make a memory cell at a crossing, respectively, Cm, N, CM, N, C1, N+1, Cm, N+1, CM, and N+1. The electrode of another side is connected to the word line corresponding to the subbit line with which the electrode which is one side, respectively corresponds.

[0037] Moreover, Transistor PCTN and PCTN+1 By precharge signal phiPC, it is main bit line MBLN and MBLN+1. It is a transistor for precharging on the precharge voltage VPC, and is Transistor CTN and CTN+1. By column selection-signal phiC, it is main bit line MBLN and MBLN+1. It is a transistor for connecting with each sense amplifier. A sense amplifier SAN and SAN+1 It is main bit line MBLN and MBLN+1, respectively. It is the connected sense amplifier, and is activated by sense enable signal phiSE, a sense amplifier SAN senses the potential difference between the node potential VN and the comparison potential VRN, and it is sense amplifier SAN+1. Node potential VN+1 And comparison potential VRN+1 The potential difference of a between is sensed.

[0038] Drawing 2 is pattern layout drawing in memory array drawing of drawing 1. Moreover, drawing 3 is device structure section drawing at which it looked from A-A' in pattern layout drawing of drawing 2.

[0039] Setting to pattern layout drawing of drawing 2, and the drawing 3 device structure section drawing, for LOCOS isolation and 3, gate oxide and 4 are [1 / a silicon substrate and 2] the selection transistor STN and STN+1. They are the source / drain n+ diffusion layer field. 5 is the selector-gate line SL and is usual polish recon or a usual polycide gate electrode. 6 -- subbit line SBLN and SBLN+1 it is -- moreover, it is also a ferroelectric capacitor lower electrode, and is specifically formed in a layer [1st] platinum layer. the ferroelectric material 3 which 7 is a ferroelectric capacitor insulator layer and specifically has a hysteresis characteristic, for example, PbZrTiO, and BiSr2 Ta 2O9 etc. -- it is formed. 8 is each ferroelectric capacitors C1, N, Cm, and N, CM, N, C1, N+1, Cm, N+1, CM, and N+1. It is an up electrode and is specifically formed in a layer [2nd] platinum layer. 9 is an interlayer insulation film under the 1st layer aluminum wiring, and is usual CVD silicon oxide.

[0040] 10a, 10b, 10c, and 10d are the contact holes under the 1st layer aluminum wiring, and contact holes 10a and 10d are, respectively for contact hole 10b to connect the 1st layer aluminum wiring and a layer [1st] platinum layer, and for contact hole 10c connect the 1st layer aluminum wiring and a layer [2nd] platinum layer for the 1st layer aluminum wiring and N+ diffusion layer field. 11a, 11b, and 11c are the 1st layer aluminum wiring, and 1st layer aluminum wiring 11a constitutes a pad aluminum layer for 1st layer aluminum wiring 11b to connect a word line WL1, WLm, and WLM, and for 1st layer aluminum wiring 11c connect n+ diffusion layer field with the 2nd layer aluminum wiring for bridge wiring of a subbit line. 12 is an interlayer insulation film under the 2nd layer aluminum wiring, and is usual CVD silicon oxide. 13 is a contact hole under the 2nd layer aluminum wiring, and connects the 2nd layer aluminum wiring and the 1st layer aluminum wiring. 14 is the 2nd layer aluminum wiring and constitutes main bit line MBLN and MBLN+1.

[0041] Next, in memory array drawing of drawing 1, the 1st operation gestalt in the case of performing the data writing to a memory cell is explained in order, referring to timing-chart drawing of drawing 4, and the hysteresis characteristic of drawing 6.

[0042] Timing-chart drawing of drawing 4 is a word line WLm and subbit line SBLN, and SBLN+1. It chooses and they are the ferroelectric capacitors (memory cell) Cm and N. It is the 1st data (following 1 data) Cm and N+1 It is a timing chart in the case of writing in the 2nd data (following 0 data). In this case, the writing of one data to a memory cell impresses voltage in the direction in which the subbit line potential chosen from the word line potential to choose becomes high, and is performed by making polarization of the ferroelectric capacitor carry out in the above-mentioned impression electric-field direction. Moreover, the writing of zero data to a memory cell impresses voltage in the direction in which the subbit line potential chosen from the word line potential to choose becomes low, and is performed by making polarization of the ferroelectric capacitor carry out in the above-mentioned impression electric-field direction.

[0043] First, they are memory cells Cm and N at time of day t1. To supply voltage VCC (3.3V), it is connected main bit line MBLN A memory cell Cm and N+1 Main bit line MBLNs+1 connected It is set as touch-down voltage (0V).

[0044] Next, it is the selector-gate line SL to 0V to 5V at time of day t2 Memory cells Cm and N, Cm, and N+1 Word line WL1 -WLM that the connected selection word line WLm is not chosen as supply voltage VCC (3.3V) other than WLm is set as VCC (1/2) (1.65V). Consequently, the ferroelectric capacitor Cm of the memory cell which should write in zero data, and N+1 will move to the condition of D point by time of day t3 in the hysteresis characteristic shown in drawing 6, and the writing of zero data will be completed.

[0045] Next, the selection word line WLm is brought down on touch-down voltage (0V) at time of day t3. Consequently, ferroelectric capacitors Cm and N of the memory cell which should write in one data In the hysteresis characteristic shown in drawing 6, it will move to the condition of C point by time of day t4, and the writing of one data will be completed. At time of day t4, it is all main bit line MBLN(s) and MBLN+1 to the last. After bringing down to 0V, write-in actuation is completed by bringing down the selector-gate line SL and all word line WL1 -WLM(s) on touch-down voltage (0V).

[0046] In addition, word line WL1 -WLM of not choosing during a data write-in period and other than WLm is the ferroelectric capacitors Cm and N connected to the selected subbit line although set as VCC (1/2) (1.65V) consequently, Cm, and N+1. The DISUTABU voltage of VCC (1/2) (1.65V) will be impressed to the memory cell of not choosing [of an except]. That this DISUTABU voltage poses a problem is the case where the above-mentioned DISUTABU voltage is added in the contents of data currently recorded on the non-choosing memory cell, and the direction in which reverse data is written in.

[0047] For example, when one data is recorded on the non-choosing memory cell, as a result of impressing DISUTABU voltage, in the hysteresis characteristic shown in drawing 6, the polarization condition of a ferroelectric capacitor changes from an A point to A1 point. Moreover, when zero data is recorded on the non-choosing memory cell, as a result of impressing DISUTABU voltage, in the hysteresis characteristic of drawing 6, the polarization condition of a ferroelectric capacitor changes from a B point to B1 point. However, data is not reversed and DISUTABU to a non-choosing memory cell does not pose a problem, when one data is recorded on the non-choosing memory cell unless a polarization condition changes from an A point to A3 point, and unless a polarization condition changes from a B point to B3 point when zero data is recorded on the non-choosing memory cell.

[0048] Next, in memory array drawing of drawing 1, the 2nd operation gestalt in the case of performing the data writing to a memory cell is explained in order, referring to timing-chart drawing of drawing 5, and the hysteresis characteristic of drawing 6. The DISUTABU voltage (1/2) which joins a non-choosing memory cell at the time of data writing has an advantage over the 1st example of drawing 4 of this 2nd operation ***** in VCC (1.65V) (1/3) to VCC (1.1V), and a mitigable point.

[0049] It is a word line WLm and subbit line SBLN, and SBLN+1 similarly [in drawing 5]. It chooses and they are the ferroelectric capacitors (memory cell) Cm and N. It is one data Cm and N+1 It is a timing chart in the case of writing in zero data. The elimination step which writes in zero data (or one data is sufficient) to all the memory cells that were connected to the selected word line unlike the case of the 1st operation gestalt of drawing 4 in the case of the 2nd operation gestalt of drawing 5, A data write-in method is constituted by two steps of steps of the write-in step which writes in the above-mentioned opposition data after an elimination step to the memory cell in which the above-mentioned elimination data and the data of opposition should be written.

[0050] In this case, data elimination (writing of zero data) to a memory cell impresses voltage in the direction in which the subbit line potential chosen from the word line potential to choose becomes low, and is performed by making polarization of the ferroelectric capacitor carry out in the above-mentioned impression electric-field direction. Moreover, the writing of opposition data (one data) to a memory cell impresses voltage in the direction in which the subbit line potential chosen from the word line potential to choose becomes high, and is performed by making polarization of the ferroelectric capacitor carry out in the above-mentioned impression electric-field direction.

[0051] First, at time of day t1, all main bit line MBLN(s) and MBLN+1 are set as touch-down voltage (0V), then the selection word line WLm is set as 5V from 0V, and the word lines WL1-WLM of all not choosing it as supply voltage VCC (3.3V) other than WLm are set as touch-down voltage (0V) for the

selector-gate line SL. Consequently, the ferroelectric capacitors Cm and N of all the memory cells that stand in a row in the selection word line WLm, Cm, and N+1 In the hysteresis characteristic shown in drawing 6, it will move to the condition of D point by time of day t2, and elimination (writing of zero data) will be completed.

[0052] Next, the selector-gate line SL and the selection word line WLm are brought down on touch-down voltage (0V) at time of day t2. Then, memory cells Cm and N which should write in opposition data (one data) Connected main bit line MBLN to supply voltage VCC (3.3V) the memory cell Cm good with elimination data (zero data), and N+1 it connected -- main -- bit line MBLN+1 (1/3) is set as VCC (1.1V). Next, at time of day t3, the selection word line WLm is set as 5V, and the word lines WL1-WLM (2/3) of all not choosing it as touch-down voltage (0V) other than WLm are set as VCC (2.2V) the selector-gate line SL. Consequently, ferroelectric capacitors Cm and N of the memory cell which should write in opposition data (one data) In the hysteresis characteristic shown in drawing 6, it will move to the condition of D point to C point by time of day t4, and the writing of opposition data will be completed. Finally, at time of day t4, after setting all main bit line MBLN(s) and MBLN+1 (1/3) as VCC (1.1V), write-in actuation is completed by bringing down the selector-gate line SL and all the word lines WL1-WLM on touch-down voltage (0V).

[0053] In addition, Cm and N which stand in a row in the selected subbit line although set as the word line WL1 of not choosing other than WLm - WLM (2/3) VCC (2.2V), during the write-in period of opposition data consequently, Cm, and N+1 The DISUTABU voltage of VCC (1.1V) will be impressed to the non-choosing memory cell (1/3) of an except. That this DISUTABU voltage poses a problem is the case where the above-mentioned DISUTABU voltage is added in the contents of data currently recorded on the non-choosing memory cell, and the direction in which reverse data is written in.

[0054] For example, when one data is recorded on the non-choosing memory cell, as a result of impressing DISUTABU voltage, in the hysteresis characteristic shown in drawing 6, the polarization condition of a ferroelectric capacitor changes from an A point to A2 point. Moreover, when zero data is recorded on the non-choosing memory cell, as a result of impressing DISUTABU voltage, in the hysteresis characteristic shown in drawing 6, the polarization condition of a ferroelectric capacitor changes from a B point to B-2 point. However, in the case of the 2nd operation gestalt of drawing 5, as compared with the case of the 1st operation gestalt of drawing 4, the hysteresis characteristic of drawing 6 shows that DISUTABU to a non-choosing memory cell is sharply mitigable. Therefore, when one data is recorded on the non-choosing memory cell, and zero data is recorded on the non-choosing memory cell from the A point to A3 point, a polarization condition changes from a B point to B3 point, and data cannot be reversed.

[0055] In addition, although package data writing is performed to the memory cell with which the case of the 1st operation gestalt of drawing 4 and the case of the 2nd operation gestalt of drawing 5 are connected in one word line to choose, data writing may be performed in order for every word line by making into an unit all the word lines that intersect the subbit line chosen by the selector-gate line in the unit of data writing. For example, what is necessary is just to carry out data writing to WL1, WL2, -- WLM and sequence in the case of the 1st operation gestalt of drawing 4, and the 2nd operation gestalt of drawing 5, using word lines WL1-WLM as one unit for data writing. Such data writing of a block unit enables it to restrict the count of DISUTABU which a non-choosing memory cell receives at the time of data writing to the maximum (M-1) time, and it is suitable from a viewpoint of DISUTABU prevention.

[0056] Then, the 1st example in the case of reading the data to a memory cell in memory array drawing of drawing 1 is explained in order, referring to timing-chart drawing of drawing 7, and the hysterics RISHISU property of drawing 9.

[0057] Timing-chart drawing of drawing 7 is a word line WLm and subbit line SBLN, and SBLN+1. It chooses and they are the ferroelectric capacitors (memory cell) Cm and N. One data currently recorded and Cm, and N+1 Zero data currently recorded is read and they are after that, and Cm and N. One data and Cm, and N+1 It is a timing chart in the case of performing the re-writing of zero data. in this case, the reading appearance of data to a memory cell -- carrying out -- data is judged by connecting with the

subbit line which chooses the main bit line, changing the word line voltage to choose, changing the polarization condition of a ferroelectric capacitor, and detecting change of the main bit line potential according to change of the polarization condition of the ferroelectric capacitor concerned. Moreover, the re-writing of data to a memory cell is the same as that of the case in the 1st operation gestalt of the data write-in method of drawing 4.

[0058] First, it is main bit line MBLN and MBLN+1 by time of day t2 by starting supply voltage VCC (3.3V) and column selection-signal phiC for precharge signal phiPC to 5V at time of day t1. It precharges on the precharge voltage VPC (0V), and is main bit line MBLN and MBLN+1. The node VN of each sense amplifier, and V N+1 It connects.

[0059] To a degree At time of day t2, precharge signal phiPC is brought down to 0V, and it is main bit line MBLN and MBLN+1. After carrying out floating, it is the selector-gate line SL to 0V to 5V The read-out memory cells Cm and N, Cm, and N+1 The connected selection word line WLm is started from 0V to supply voltage VCC (3.3V). Consequently, the ferroelectric capacitors Cm and N of all the memory cells that stand in a row in the selection word line WLm, Cm, and N+1 It changes to the polarization condition that zero data was written in.

[0060] For this reason, memory cells Cm and N on which one data was recorded A polarization condition is reversed, and potential change **[of main bit line MBLN] V (+) is large, and is expressed with a degree type (1). Moreover, Cm of the memory cell by which 0 data logging was carried out and N+1 A polarization condition does not change but it is main bit line MBLNs+1. Potential change **V (-) is small and is expressed with a degree type (2).

$$**V(+) = VCC - [C(+)/(M-1) - C(-) + C(+)] + CBL]$$

-- (1)

$$**V(-) = VCC - [C(-)/(M-C(-)+CBL)] -- (2)$$

In addition, in (1) type and (2) types, C (+) is capacity in case the polarization condition of a memory cell is reversed, C (-) is capacity in case the polarization condition of a memory cell is not reversed, and CBL is bit line capacity. Moreover, M is a word line number which stands in a row in a subbit line, and carries out to eight in this case, and supply voltage VCC is set to 3.3V. In the case of a general memory cell, it is C(+) **. Since it is 500fF, C(-) **100fF, and a CBL**1000fF degree, **V (+) and **V (-) are the following degrees from (1) type and (2) types.

$**V(+) = 0.75$ V $**V(-) = 0.18$ V [0061] The above thing can be illustrated and explained also in the hysteresis characteristic of drawing 9. the ferroelectric capacitor Cm of a memory cell with which one data was recorded and N+1 it is -- a case -- an A point -- it moves to the condition of E points from a condition, and is reversed in the polarization condition of zero data. [that is,] And Cm and N which are connected to subbit line SBLN The non-choosing memory cells C1 and N of an except - CM, and N Although it moves to the condition of G points from the condition of an A point when it is the memory cell on which one data was recorded, and it moves to the condition of I points from the condition of a B point when it is the memory cell on which zero data was recorded, the condition of a basis is held as it is.

[0062] the ferroelectric capacitor Cm of a memory cell with which zero data was recorded and N+1 it is -- a case -- a B point -- although it moves to the condition of F points from a condition, the polarization condition of zero data does not change. [moreover,] and -- secondary -- Cm connected to bit line SBLN+1, and N+1 The non-choosing memory cell C1 of an except, N+1 - CM, and N+1 Although it moves to the condition of H points from the condition of an A point when it is the memory cell on which one data was recorded, and it moves to the condition of J point from the condition of a B point when it is the memory cell on which zero data was recorded, the data condition of a basis is held as it is. In addition, in the hysteresis characteristic shown in drawing 9, the straight line inclination of alternate long and short dash line A-E expresses the capacity C (-) in case the polarization condition mentioned above is reversed, and the straight line inclination of alternate long and short dash line B-F expresses the capacity C (-) in case the polarization condition mentioned above is not reversed.

[0063] Next, at time of day t3, the sense amplifier SAN connected to each main bit line and SAN+1 are activated by bringing down the selector-gate line SL next, bringing down the selection word line WLm

to 0V, and starting sense enable signal phiSE to supply voltage VCC (3.3V) at time of day t4. Consequently, a sense amplifier SAN senses the potential difference of the potential change $**V(+)$ and the (node potential VN) of main bit line MBLN, and the comparison potential VRN which were mentioned above, and sense amplifier SAN+1 senses the potential difference of potential change $*[$ of main bit line MBLNs+1] V (-), (node potential VN+1), and comparison potential VRN+1.

[0064] the variation of the main bit line potential expected in each comparison potential VRN and all of VRN+1 here, $**V(+)=0.75V$, and $**V(-)=0.18V$ -- it is about set as about mean value VRN-VRN+1=0.46V. Consequently, in a sense amplifier SAN, they are the read-out memory cells Cm and N. One data currently recorded by time of day t5 A sense latch is carried out and the potential of main bit line MBLN is set as supply voltage VCC (3.3V). To sense amplifier SAN+1 The read-out memory cell Cm and N+1 The sense latch of the zero data currently recorded is carried out, and the potential of main bit line MBLNs+1 is set as touch-down voltage (0V).

[0065] Now, it is the read-out memory cells Cm and N from time of day t5, Cm, and N+1. The receiving re-writing of data requires.

[0066] First, it is the selector-gate line SL to 0V to 5V at time of day t5 Memory cells Cm and N, Cm, and N+1 The word lines WL1-WLM (1/2) of all not choosing it as supply voltage VCC (3.3V) other than WLM are set as VCC (1.65V) for the connected selection word line WLm. Consequently, the ferroelectric capacitor Cm of the memory cell which should write in zero data, and N+1 will move to the condition of D point by time of day t6 in the hysteresis characteristic of drawing 9, and the re-writing of zero data will be completed.

[0067] Next, at time of day t6, the selection word line WLm is brought down on touch-down voltage (0V). Consequently, ferroelectric capacitors Cm and N of the memory cell which should write in one data In the hysteresis characteristic shown in drawing 9, it will move to the condition of C point by time of day t7, and the re-writing of one data will be completed. After separating main bit line MBLN and MBLN+1 from the node VN of each sense amplifier, and VN+1 by bringing down column selection-signal phiC to 0V at time of day t7 finally, all main bit line MBLN(s) and MBLN+1 are precharged on the precharge voltage VPC (0V) by starting precharge signal phiPC to supply voltage VCC (3.3V). Then, write-in actuation is completed by bringing down the selector-gate line SL and all the word lines WL1-WLM to touch-down supply voltage (0V).

[0068] In addition, Cm and N which stand in a row in the selected subbit line although set as the word line WL1 of not choosing other than WLM - WLM (1/2) VCC (1.65V), during a data re-write-in period consequently, Cm, and N+1 The DISUTABU voltage of VCC (1.65V) will be impressed to the non-choosing memory cell (1/2) of an except. This is the same as that of the case of the 1st operation gestalt of the data writing explained by drawing 4.

[0069] Next, in memory array drawing of drawing 1, the 2nd operation gestalt in the case of reading the data to a memory cell is explained in order, referring to timing-chart drawing of drawing 8, and the hysteresis characteristic of drawing 9. The DISUTABU voltage (1/2) which joins a non-choosing memory cell at the time of data writing has an advantage over the 1st operation gestalt of drawing 7 of this 2nd operation gestalt in a point mitigable from VCC (1.65V) (1/3) to VCC (1.1V).

[0070] They are memory cells Cm and N similarly [in drawing 8 / of drawing 7]. One data currently recorded and Cm, and N+1 Zero data currently recorded is read and they are after that, and Cm and N. One data and Cm, and N+1 It is a timing chart in the case of performing the re-writing of zero data. In this case, read-out of data to a memory cell is the same as that of the case in the 1st operation ***** of the data read-out method of drawing 7. Moreover, the re-writing of data to a memory cell is the same as that of the case in the 2nd operation gestalt of the data write-in method of drawing 5.

[0071] First, by starting supply voltage VCC (3.3V) and the column selection signal phi for precharge signal phiPC to 5V, by time of day t2, main bit line MBLN and MBLN+1 are precharged on the precharge voltage VPC (0V), and main bit line MBLN and MBLN+1 will be connected to the node VN of each sense amplifier, and VN+1 at time of day t1.

[0072] Next, after bringing down precharge signal phiPC to 0V and making main bit line MBLN and MBLN+1 into floating at time of day t2, the selector-gate line SL is read to 5V from 0V, and it is

memory cells Cm and N, Cm, and N+1. The connected selection word line WLm is started from 0V to supply voltage VCC (3.3V). Consequently, the ferroelectric capacitors Cm and N of all the memory cells that stand in a row in the selection word line WLm, Cm, and N+1 It changes to the polarization condition that zero data was written in.

[0073] For this reason, memory cells Cm and N on which one data was recorded A polarization condition is reversed and $**V(+)=0.75V$ are expected that potential change $**[$ of main bit line MBLN] V (+) was large, and the 1st operation gestalt of drawing 7 explained. the memory cell Cm by which 0 data logging was carried out and N+1 a polarization condition -- not reversed -- main -- potential change $**[$ of bit line MBLN+1] V (-) is small, and as the operation gestalt explained by the 1st of drawing 7 , $**V(-)=0.18V$ are expected. [moreover,]

[0074] Also in the hysteresis characteristic shown in drawing 9 , it is the same as that of the case of the 1st operation gestalt of drawing 7 that it can illustrate and explain of the above thing.

[0075] Next, at time of day t3, the sense amplifier SAN connected to each main bit line and SAN+1 are activated by bringing down the selector-gate line SL next, bringing down the selector-gate line WLm to 0V, and starting sense enable signal phiSE to supply voltage VCC (3.3V) at time of day t4.

Consequently, by time of day t5, the sense latch of the one data is carried out to a sense amplifier SAN, and the potential of main bit line MBLN will be set as supply voltage VCC (3.3V). Moreover, the sense latch of the zero data is carried out sense amplifier SAN+1, and the potential of main bit line MBLNs+1 is set as touch-down voltage (0V).

[0076] Now, it is the read-out memory cells Cm and N from time of day t5, Cm, and N+1. The receiving re-writing of data requires.

[0077] First, after separating main bit line MBLN and MBLN+1 from the node VN of each sense amplifier, and VN+1 by bringing down column selection-signal phiC to 0V at time of day t5, all main bit line MBLN(s) and MBLN+1 are precharged on the precharge voltage VPC (0V) by starting precharge signal phiPC to supply voltage VCC (3.3V). Then, the selection word line WLm is set as 5V from 0V, and the word lines WL1-WLM of all not choosing it as supply voltage VCC (3.3V) other than WLm are set as touch-down voltage (0V) for the selector-gate line SL. Consequently, the ferroelectric capacitors Cm and N of all the memory cells that stand in a row in the selection word line WLm, Cm, and N+1 In the hysteresis characteristic of drawing 9 , it will move to the condition of D point by time of day t6, and elimination (writing of zero data) will be completed.

[0078] Next, the selector-gate line SL and the selection word line WLm are brought down on touch-down voltage (0V) at time of day t6. Next, a low side is switched [the power supply of a sense amplifier system] for a high side to VCC (1.1V) from touch-down voltage (0V) (1/3) with supply voltage VCC (3.3V). next, column selection-signal phiC -- 5V -- rising -- again -- the potential of main bit line MBLN -- a sense amplifier SAN -- supply voltage VCC (3.3V) -- main -- the potential of bit line MBLN+1 is set as VCC (1.1V) by sense amplifier SAN+1 (1/3). Next, at time of day t7, the selection word line WLm is set as 5V, and the word lines WL1-WLM (2/3) of all not choosing it as touch-down voltage (0V) other than WLm are set as VCC (2.2V) for the selector-gate line SL.

[0079] Consequently, memory cells Cm and N which should write in opposition data (one data) In the hysteresis characteristic of drawing 9 , it moves to the condition of D point to C point till time of day t8, and the re-writing of opposition data is completed. After separating main bit line MBLN and MBLN+1 from the node VN of each sense amplifier, and VN+1 by bringing down column selection-signal phiC to 0V at time of day t8 finally, all main bit line MBLN(s) and MBLN+1 are precharged on the precharge voltage VPC (1/3) (VCC (1.1V)) by starting precharge signal phiPC to supply voltage VCC (3.3V). Then, re-write-in actuation is completed by bringing down the selector-gate line SL and all WORD selections WL1-WLM on touch-down voltage (0V).

[0080] In addition, Cm and N which stand in a row in the selected subbit line although set as the word line WL1 of not choosing other than WLm - WLM (2/3) VCC (2.2V), during the re-write-in period of opposition data consequently, Cm, and N+1 The DISUTABU voltage of VCC (1.1V) will be impressed to the non-choosing memory cell (1/3) of an except. This is the same as that of the 2nd operation gestalt of the data writing explained by drawing 5 , and DISUTABU to a non-choosing memory cell can be

sharply mitigated as compared with the example of data read-out of the 1st operation gestalt of drawing 7.

[0081] Moreover, although read-out and the re-writing of data are performed to the package to the memory cell with which the case of the 1st operation gestalt of drawing 7 and the case of the 2nd operation gestalt of drawing 8 are connected in one word line to choose Read-out and the re-writing of data may be performed in order for every word line by making into an unit all the word lines that intersect the subbit line chosen by the selector-gate line in the unit of read-out of data and re-writing. For example, what is necessary is just to carry out read-out and the re-writing of data to WL1, WL2, --, WLM, and sequence in the case of the 1st operation gestalt of drawing 7, and the 2nd operation gestalt of drawing 8, using word lines WL1-WLM as one unit for read-out and the re-writing of data. the data of such a block unit carries out reading appearance, and re-writing enables it to restrict the count of DISUTABU which a non-choosing memory cell receives at the time of data re-writing to the maximum (M-1) time, and it is suitable from a viewpoint of DISUTABU prevention.

[0082] Drawing 10 is drawing showing the example of a sense amplifier SAN and the concrete circuit diagram of SAN+1 in memory array drawing of drawing 1.

[0083] In the sense amplifier of drawing 10, the inverter circuit of the complementation constituted by the p channel MOS (calling it PMOS hereafter and being) transistor TP 1, the n channel MOS (calling it NMOS hereafter and being) transistor TN1 and the PMOS transistor TP 2, and the NMOS transistor TN2 constitutes a latch circuit. Moreover, this latch circuit amplifies and latches the potential difference between nodes with nodes N1 and N2 by activating the PMOS transistor TP 3 and the NMOS transistor TN3 in response to sense enable signal phiSE.

[0084] It becomes possible by corresponding for every main bit line and having a latching sense amplifier as shown in drawing 10 to read to the sense amplifier concerned and to latch data or write-in data. consequently, as the example of drawing 4, drawing 5, drawing 7, and drawing 8 showed, it can carry out to all memory cell packages that stand in a row in the word line in which the data corresponding to a memory cell carries out writing or reading appearance and, which re-writing chooses.

[0085] Next, the example of a process flow for manufacturing the ferroelectric storage of this invention is explained.

[0086] Drawing 11 (a) - drawing 11 (e) are drawings having shown the process flow until it reaches device structure section drawing of drawing 3.

[0087] First, it is the same as that of the usual CMOS process until it forms the source / drain n+ diffusion layer field 4 by the ion implantation, after forming the LOCOS element isolation region 2 and gate oxide 3 in silicon substrate top 1 and forming polish recon or the polycide gate electrode 5 in it, as shown in drawing 11 (a).

[0088] next, it is shown in drawing 11 (b) -- as -- a layer [1st] platinum layer -- for example, the method of a spatter etc. -- about -200nm -- forming -- further -- ferroelectric thin films (for example, PbZrTiO₃, BiSr₂Ta₂O₉, etc.) -- the method of a spatter etc. - about 200nm is formed. Next, etching processing of an above-mentioned layer [1st] platinum layer and the strong dielectric thin object is carried out by the RIE method etc. at coincidence, and the ferroelectric capacitor lower electrode 6 and the ferroelectric capacitor insulator layer 7 are formed.

[0089] next, it is shown in drawing 11 (c) -- as -- a layer [2nd] platinum layer -- for example, a spatter etc. - about 200nm is formed, after that, by the RIE method etc., etching processing is carried out and the ferroelectric capacitor up electrode 8 is formed.

[0090] Next, contact holes 10a, 10b, 10c, and 10d are formed, as shown in drawing 11 (d), after forming an interlayer insulation film (SiO₂ film) 9 with a CVD method, after that, a layer [1st] aluminum layer is formed in a spatter, etching processing is carried out further and bridge wiring 11a of a subbit line, word line 11b, and pad aluminum layer 11c are formed.

[0091] Finally, as shown in drawing 11 (e), after forming an interlayer insulation film (SiO₂ film) 9 with a CVD method, a contact hole 13 is formed, a layer [2nd] aluminum layer is formed in a spatter after that, etching processing is carried out further, and the main bit line 14 is formed. Device structure

section drawing of drawing 3 is reached as a result of the above process flow.

[0092]

[Effect of the Invention] As explained above, according to the ferroelectric storage of this invention, each main bit line wired in the shape of a train is connected to two or more subbit lines through a connecting means, and the memory cell which changes from one ferroelectric capacitor to the grid location where the above-mentioned subbit line and two or more word lines wired by behavior cross, respectively is arranged. Consequently, to the memory cell which consists of one ferroelectric capacitor fundamentally, the writing of data and read-out become possible, and the ferroelectric storage in which high accumulation and large-capacity-izing are possible can be offered.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is drawing showing the memory array of the ferroelectric storage concerning this invention.

[Drawing 2] It is drawing showing the pattern layout in memory array drawing of drawing 1.

[Drawing 3] It sets to pattern layout drawing of drawing 2, and is A-A'. It is drawing showing the device structure section at which it looked from the direction.

[Drawing 4] In memory array drawing of drawing 1, it is drawing showing the timing chart in the case of the 1st operation gestalt which writes in data.

[Drawing 5] In memory array drawing of drawing 1, it is drawing showing the timing chart in the case of the 2nd operation gestalt which writes in data.

[Drawing 6] It is drawing showing the hysteresis characteristic of the ferroelectric capacitor for explaining the 1st data write-in implementation gestalt of drawing 4, and the 2nd data write-in implementation gestalt of ****5.

[Drawing 7] In memory array drawing of drawing 1, it is drawing showing the timing chart in the case of the 1st operation gestalt which reads data.

[Drawing 8] In memory array drawing of drawing 1, it is drawing showing the timing chart in the case of the 2nd operation gestalt which reads data.

[Drawing 9] It is drawing showing the hysteresis characteristic of the ferroelectric capacitor for explaining the 1st data read-out implementation gestalt of drawing 7, and the read-out implementation gestalt of the 2nd data of drawing 8.

[Drawing 10] It is drawing showing the concrete circuit of a sense amplifier.

[Drawing 11] It is drawing showing the process flow of the ferroelectric storage concerning this invention.

[Drawing 12] It is drawing showing the hysteresis characteristic and the capacitor condition that the 1st data of opposition and the 2nd data of each other were written in of a ferroelectric capacitor.

[Drawing 13] It is drawing showing the memory array of ferroelectric storage which has a 1TR-1CAP mold cel.

[Description of Notations]

WL1-WLM -- Word line

SL -- Selector-gate line

phiC -- Column selection signal

phiPC -- Precharge signal

phiSE -- Sense enable signal

C1, N-CM, N and C1, N+1 - CM, and N+1 -- Memory cell (ferroelectric capacitor)

STN, STN+1 -- Selection transistor

CTN, CTN+1 -- Precharge selection transistor

PCTN, PCTN+1 -- Column selection transistor

SAN, SAN+1 -- Sense amplifier

MBLN, MBLN+1 -- Main bit line
SBLN, SBLN+1 -- Subbit line
VPC -- Precharge voltage
VRN, VRN+1 -- Comparison potential
VN, VN+1 -- Node potential
1 -- Silicon Substrate
2 -- LOCOS Isolation
3 -- Gate Oxide
4 -- Source / Drain N+ Diffusion Layer Field
5 -- Polish Recon or Polycide Gate Electrode
6 -- Ferroelectric Capacitor Lower Electrode
7 -- Ferroelectric Capacitor Insulator Layer
8 -- Ferroelectric Capacitor Up Electrode
9 -- Interlayer Insulation Film under 1st Layer Aluminum Wiring
10a, 10b, 10c, 10d-- Contact hole under the 1st layer aluminum wiring
11a, 11b, 11c-- The 1st layer aluminum wiring
12 -- Interlayer Insulation Film under 2nd Layer Aluminum Wiring
13 -- Contact Hole under 2nd Layer Aluminum Wiring
14 -- 2nd Layer Aluminum Wiring

[Translation done.]

NOTICES *

Japan Patent Office is not responsible for any
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS**[Claim(s)]**

[Claim 1] Each main bit line wired in the shape of a train is connected to two or more subbit lines through a connecting means. A memory cell which becomes the grid location where the above-mentioned subbit line and two or more word lines wired by behavior cross from one ferroelectric capacitor, respectively is arranged. Ferroelectric storage which one electrode of each ferroelectric capacitor is connected to the above-mentioned subbit line, and one of other electrodes are connected to the above-mentioned word line, and memorizes one of data of the 1st data of opposition, or the 2nd data mutually according to the direction of polarization of the above-mentioned ferroelectric capacitor.

[Claim 2] The above-mentioned connecting means is ferroelectric storage according to claim 1 with which it is an MOS mold semiconductor device, and other one side is connected to the above-mentioned subbit line, a gate electrode is connected to a selector-gate line, respectively, and either a source electrode of the MOS mold semiconductor device concerned or a drain electrode connects the above-mentioned main bit line and a subbit line to the above-mentioned main bit line in actuation according to applied voltage of the selector-gate line concerned.

[Claim 3] Writing of the 1st data to a memory cell Voltage is impressed in the direction in which subbit line potential chosen from word line potential to choose becomes high. Carry out by making polarization of the ferroelectric capacitor carry out in the above-mentioned impression electric-field direction, and writing of the 2nd data to a memory cell Ferroelectric storage according to claim 1 performed by impressing voltage in the direction in which subbit line potential chosen from word line potential to choose becomes low, and making polarization of the ferroelectric capacitor carry out in the above-mentioned impression electric-field direction.

[Claim 4] reading appearance of data to a memory cell -- carrying out -- ferroelectric storage according to claim 1 which judges data by connecting with a subbit line which chooses the main bit line, changing word line voltage to choose, changing a polarization condition of a ferroelectric capacitor, and detecting change of the main bit line potential according to change of a polarization condition of the ferroelectric capacitor concerned.

[Claim 5] Ferroelectric storage according to claim 1 with which re-writing of data to the memory cell concerned is performed after read-out of data to the above-mentioned memory cell.

[Claim 6] ferroelectric storage according to claim 1 collectively performed to all memory cells connected to a word line which it has a sense amplifier of latching which carries out reading appearance corresponding to each main bit line, and latches data or write-in data, and data to a memory cell carries out writing or reading appearance, and chooses re-writing.

[Claim 7] Ferroelectric storage according to claim 1 which writes in the above-mentioned opposition data to a memory cell in which write-in data concerned and data of opposition should be written after bundling up to all memory cells connected to a selected word line and writing in the 1st data or 2nd data.

[Claim 8] Writing of the above-mentioned data is ferroelectric storage according to claim 1 which makes an unit all word lines that intersect a subbit line chosen by selector-gate line, and performs them

in order for every word line.

[Claim 9] Read-out and re-writing of the above-mentioned data are ferroelectric storage according to claim 1 which makes an unit all word lines that intersect a subbit line chosen by selector-gate line, and performs them in order for every word line.

[Claim 10] Each main bit line wired in the shape of [which is characterized by providing the following] a train is connected to two or more subbit lines through a connecting means. A memory cell which changes from one ferroelectric capacitor to a grid location where the above-mentioned subbit line and two or more word lines wired by behavior cross, respectively is arranged. A manufacture method of ferroelectric storage that one electrode of each ferroelectric capacitor was connected to the above-mentioned subbit line, and one of other electrodes were connected to the above-mentioned word line A production process which forms a lower layer capacitor electrode of each memory cell with the above-mentioned subbit line A production process which forms a ferroelectric capacitor insulator layer of each memory cell A production process which forms the upper capacitor electrode for every memory cell A production process which forms the above-mentioned word line so that the above-mentioned word line may be connected to the above-mentioned upper capacitor electrode for every memory cell, and a production process which forms the above-mentioned main bit line

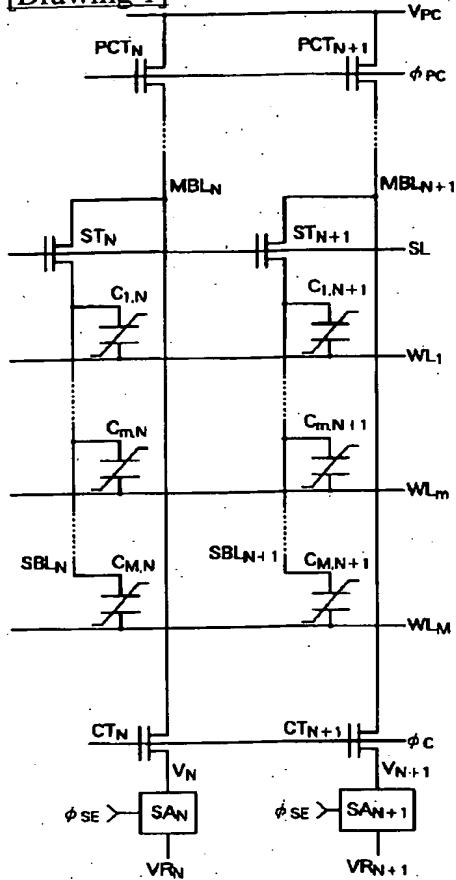
[Claim 11] The above-mentioned lower layer capacitor electrode is formed with platinum of the 1st layer, or an oxide system ceramic material. The above-mentioned ferroelectric capacitor insulator layer is formed with an oxide ferroelectric material which makes an oxide ferroelectric material or Bi system stratified perovskite structure which makes a perovskite structure. The above-mentioned upper capacitor electrode is formed with platinum of the 2nd layer, or an oxide system ceramic material. It is the manufacture method of ferroelectric storage according to claim 10 that the above-mentioned word line is formed of aluminum, its alloy, or bipolar membrane of the 1st layer, and the above-mentioned main bit line is formed of aluminum, its alloy, or bipolar membrane of the 2nd layer.

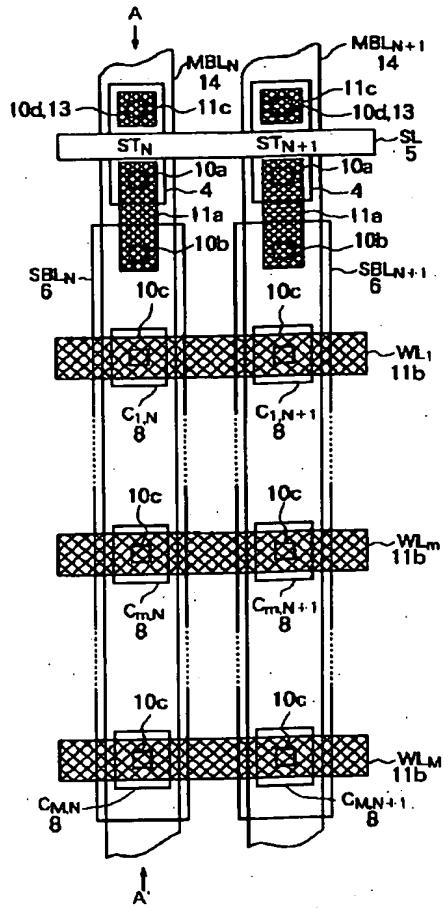
[Translation done.]

*** NOTICES ***

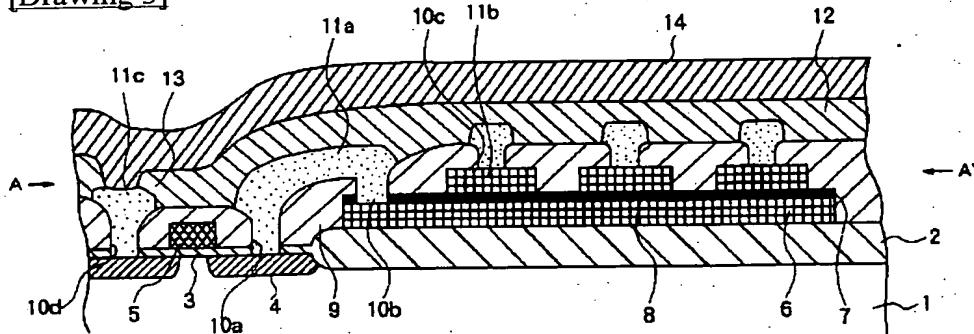
Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

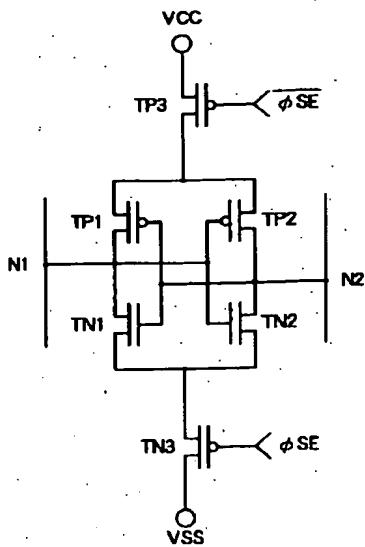
DRAWINGS**[Drawing 1]****[Drawing 2]**



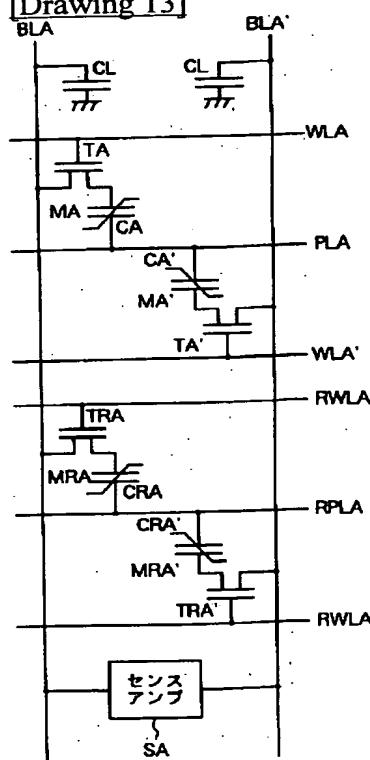
[Drawing 3]



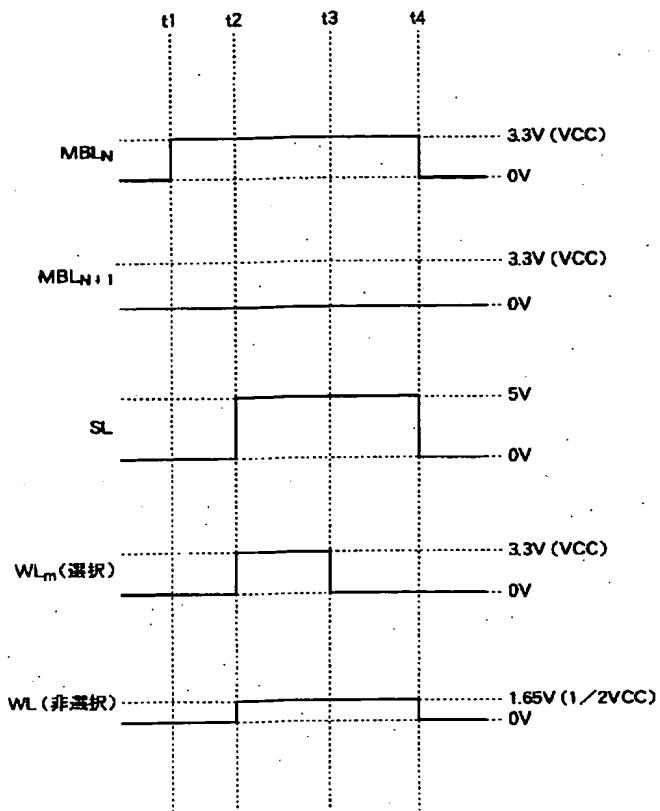
[Drawing 10]



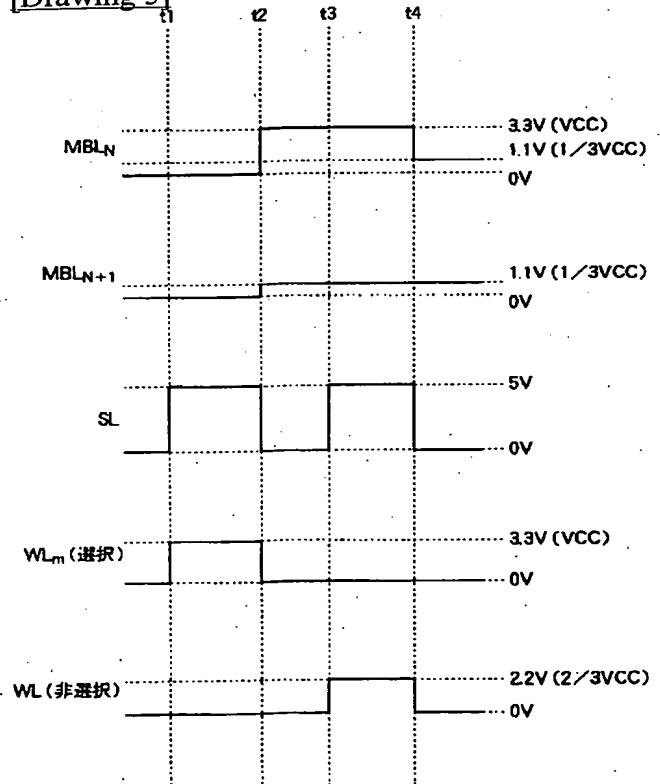
[Drawing 13]



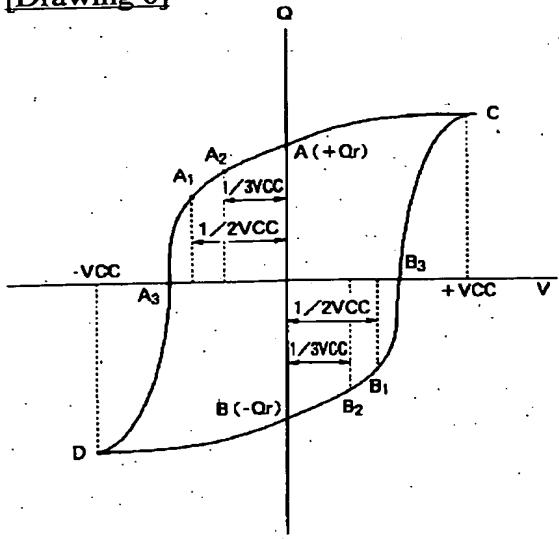
[Drawing 4]



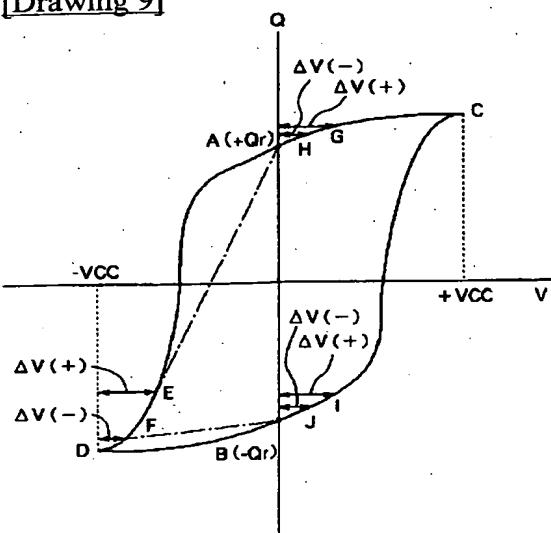
[Drawing 5]



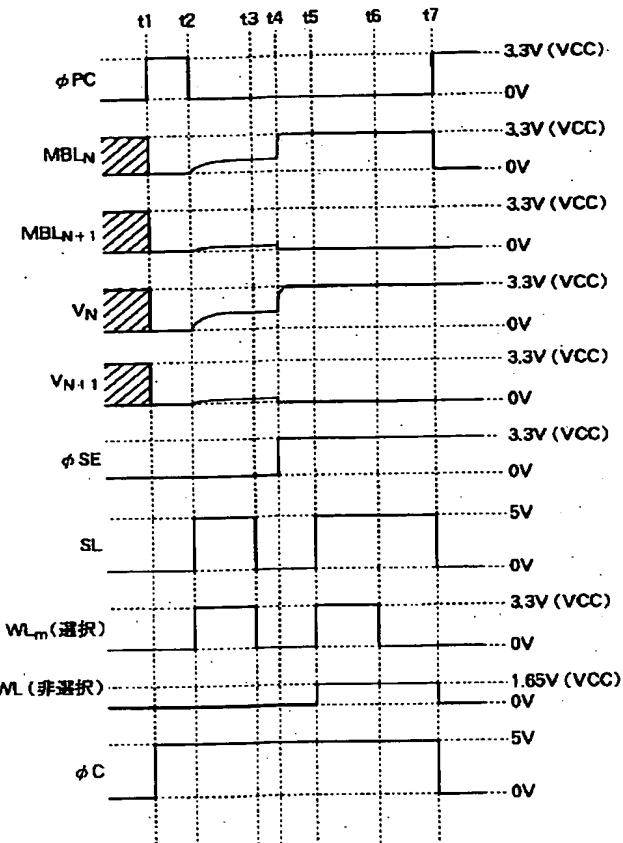
[Drawing 6]



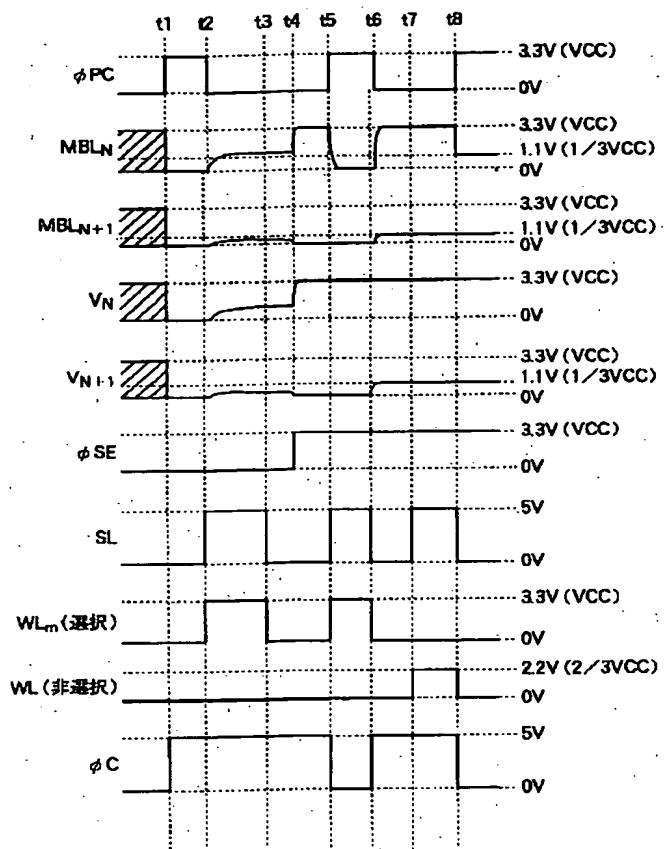
[Drawing 9]



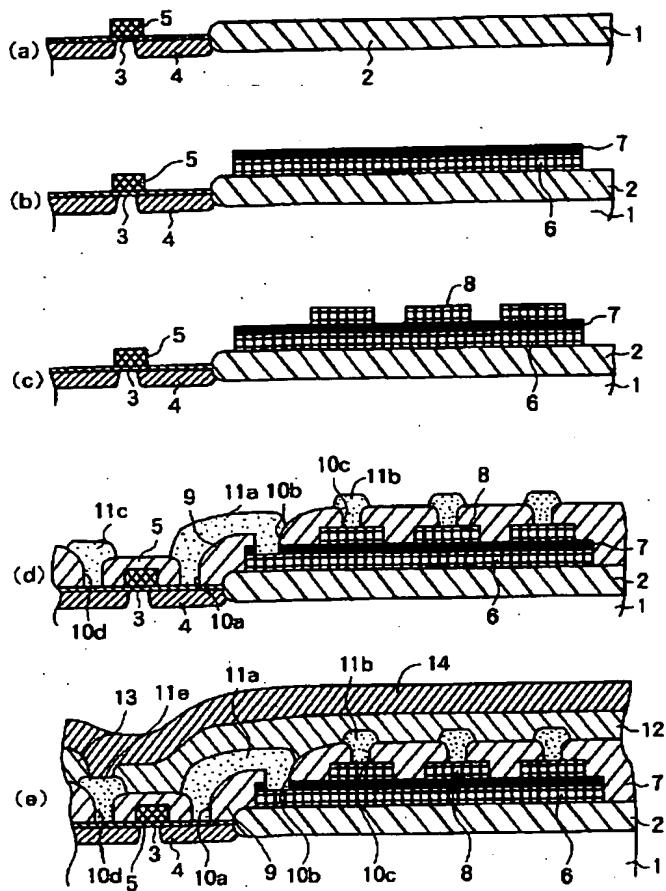
[Drawing 7]



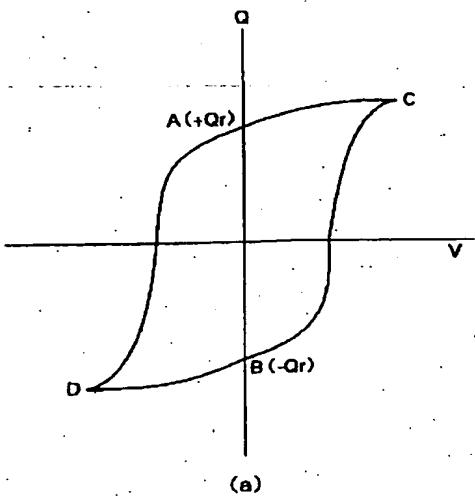
[Drawing 8]



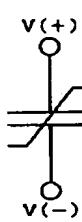
[Drawing 11]



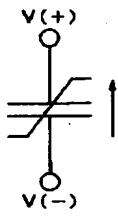
[Drawing 12]



(a)



(b)



(c)

[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-116107

(43)公開日 平成9年(1997)5月2日

(51)Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 27/10	4 5 1		H 01 L 27/10	4 5 1
G 11 C 11/22			G 11 C 11/22	
14/00			11/34	3 5 2 A
H 01 L 27/108			H 01 L 27/10	6 5 1
21/8242			29/78	3 7 1

審査請求 未請求 請求項の数11 O L (全15頁) 最終頁に続く

(21)出願番号 特願平7-267274

(22)出願日 平成7年(1995)10月16日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 荒瀬 謙士朗

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

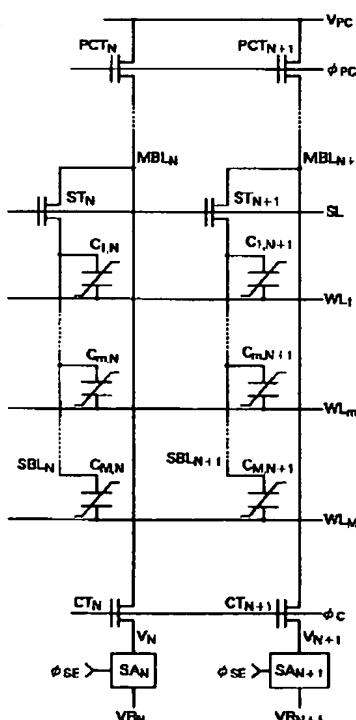
(74)代理人 弁理士 佐藤 隆久

(54)【発明の名称】 強誘電体記憶装置およびその製造方法

(57)【要約】

【課題】 メモリセルが1個の強誘電体キャパシタだけで構成された大容量かつ高集積可能な強誘電体記憶装置を実現する。

【解決手段】 列状に配線されたそれぞれの主ビット線 MBLN、MBLN+1が、選択トランジスタSTN、STN+1を介して、複数の副ビット線の中から任意の副ビット線SBLN、SBLN+1に接続され、上記副ビット線と行状に配線された複数のワード線WL1～WLmが交差する格子位置にそれぞれ1個の強誘電体キャパシタよりなるメモリーセルC1,N～C1,N+1が配置され、上記強誘電体キャパシタの一方の電極が上記副ビット線に、他の方の電極が上記ワード線に他の方の電極が上記ワード線に接続されている。



(2)

2

【特許請求の範囲】

【請求項 1】 列状に配線されたそれぞれの主ビット線が接続手段を介して複数の副ビット線に接続され、上記副ビット線と行状に配線された複数のワード線が交差する格子位置にそれぞれ 1 個の強誘電体キャパシタよりなるメモリセルが配置され、それぞれの強誘電体キャパシタの一方の電極が上記副ビット線に、他の一方の電極が上記ワード線に接続され、上記強誘電体キャパシタの分極方向によって、互いに逆相の第 1 のデータまたは第 2 のデータのどちらかのデータを記憶する強誘電体記憶装置。

【請求項 2】 上記接続手段は、MOS 型半導体素子であって、当該 MOS 型半導体素子のソース電極またはドレイン電極の一方が上記主ビット線に、他的一方が上記副ビット線に、ゲート電極が選択ゲート線にそれぞれ接続され、当該選択ゲート線の印加電圧に応じて上記主ビット線と副ビット線とを作動的に接続する請求項 1 記載の強誘電体記憶装置。

【請求項 3】 メモリセルに対する第 1 のデータの書き込みは、選択するワード線電位よりも選択する副ビット線電位が高くなる方向に電圧を印加して、強誘電体キャパシタを上記印加電界方向に分極させることにより行い、

メモリセルに対する第 2 のデータの書き込みは、選択するワード線電位よりも選択する副ビット線電位が低くなる方向に電圧を印加して、強誘電体キャパシタを上記印加電界方向に分極させることにより行う請求項 1 記載の強誘電体記憶装置。

【請求項 4】 メモリセルに対するデータの読み出しは、主ビット線を選択する副ビット線に接続し、選択するワード線電圧を変化させて強誘電体キャパシタの分極状態を変化させ、当該強誘電体キャパシタの分極状態の変化に応じた主ビット線電位の変化を検知することによりデータの判定を行う請求項 1 記載の強誘電体記憶装置。

【請求項 5】 上記メモリセルに対するデータの読み出し後に、当該メモリセルに対するデータの再書き込みが行われる請求項 1 記載の強誘電体記憶装置。

【請求項 6】 それぞれの主ビット線に対応して読み出しどうデータまたは書き込みデータをラッチするラッチ型のセンスアンプを有し、メモリセルに対するデータの書き込みまたは読み出しおよび再書き込みを、選択するワード線に接続されたすべてのメモリセルに対し一括して行う請求項 1 記載の強誘電体記憶装置。

【請求項 7】 選択されたワード線に接続されたすべてのメモリセルに対して一括して第 1 のデータあるいは第 2 のデータを書き込んだ後、当該書き込みデータと逆相のデータが書き込まれるべきメモリセルに対して上記逆相データの書き込みを行う請求項 1 記載の強誘電体記憶装置。

【請求項 8】 上記データの書き込みは、選択ゲート線により選択された副ビット線と交差するすべてのワード線を単位として、各ワード線毎に順番に行う請求項 1 記載の強誘電体記憶装置。

【請求項 9】 上記データの読み出しおよび再書き込みは、選択ゲート線により選択された副ビット線と交差するすべてのワード線を単位として、各ワード線毎に順番に行う請求項 1 記載の強誘電体記憶装置。

【請求項 10】 列状に配線されたそれぞれの主ビット線が接続手段を介して複数の副ビット線に接続され、上記副ビット線と行状に配線された複数のワード線が交差する格子位置にそれぞれ 1 個の強誘電体キャパシタより成るメモリセルが配置され、それぞれの強誘電体キャパシタの一方の電極が上記副ビット線に、他的一方の電極が上記ワード線に接続された強誘電体記憶装置の製造方法であって、

各メモリセルの下層キャパシタ電極を上記副ビット線により形成する工程と、

各メモリセルの強誘電体キャパシタ絶縁膜を形成する工程と、

各メモリセル每の上層キャパシタ電極を形成する工程と、

上記ワード線が各メモリセル毎に上記上層キャパシタ電極に接続されるように上記ワード線を形成する工程と、上記主ビット線を形成する工程とを有する強誘電体記憶装置の製造方法。

【請求項 11】 上記下層キャパシタ電極は第 1 層目のプラチナまたは酸化物系セラミックス材料により形成され、

上記強誘電体キャパシタ絶縁膜はペロブスカイト構造をなす酸化物強誘電体材料または Bi 系層状ペロブスカイト構造をなす酸化物強誘電体材料により形成され、上記上層キャパシタ電極は第 2 層目のプラチナまたは酸化物系セラミックス材料により形成され、

上記ワード線は第 1 層目のアルミニウムまたはその合金あるいは複合膜により形成され、

上記主ビット線は第 2 層目のアルミニウムまたはその合金あるいは複合膜により形成される請求項 10 記載の強誘電体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、メモリセルを基本的に 1 個の強誘電体キャパシタより構成することにより高集積かつ大容量化が可能な強誘電体記憶装置に係り、特にそのデバイス構造、デバイス動作オペレーション、および製造方法に関するものである。

【0002】

【従来の技術】ペロブスカイト構造をなす酸化物強誘電体材料（例えば Pb Zr Ti O₃ 等）、または Bi 系層状ペロブスカイト構造をなす酸化物強誘電体材料（例え

(3)

4

³
ば $B_i Sr_2 Ta_2 O_9$ 等) を、キャパシタ絶縁膜として強誘電体キャパシタを構成し、当該強誘電体キャパシタの分極方向によって、データを記憶する強誘電体記憶装置が知られている。

【0003】以下、強誘電体キャパシタのヒステリシス特性について図12に関連付けて説明する。図12において、(a)がヒステリシス特性、(b)および(c)は互いに逆相の第1のデータ(以下データ1)、および第2のデータ(以下データ0)が書き込まれたキャパシタの状態をそれぞれ示している。

【0004】強誘電体記憶装置は、図12(a)に示すヒステリシス特性において、強誘電体キャパシタにプラス側の電圧を印加(図中C)して $+Q_r$ の残留分極電荷が残った状態(図中A)をデータ1(第1のデータ)、マイナス側の電圧を印加(図中D)して $-Q_r$ の残留分極電荷が残った状態(図中B)をデータ0(第2データ)として、不揮発性のメモリとして利用する。

【0005】ところで、上述した強誘電体キャパシタを、不揮発性の強誘電体記憶装置として利用するものとして、1個の選択トランジスタと1個の強誘電体キャパシタから1メモリセルを構成する方法(以下1TR-1CAP型セル)が知られている。

【0006】図13は、1TR-1CAP型セルを有する強誘電体記憶装置のメモリアレイ図である。

【0007】図13のメモリアレイは、いわゆる折り返しビット線構造をなしており、図中、MA、MA'はメモリセル、MRA、MRA'は比較セル、WLA、WL A'はワード線、BLA、BLA'はビット線、PLAはプレート電極線、RWLA、RWLA'は比較セルを駆動するためのワード線、RPLAは比較セルを駆動するためのプレート電極線、CLは各ビット線BLA、BLA'の負荷容量をそれぞれ示している。メモリセルMAは選択トランジスタTAおよび強誘電体キャパシタCAにより構成され、メモリセルMA'は選択トランジスタTA'および強誘電体キャパシタCA'により構成される。比較セルMRA、MRA'は、メモリセルMA、MA'のデータを比較読み出しるために設けられ、比較セルMRAの場合には選択トランジスタTRAおよび強誘電体キャパシタCRAにより構成され、比較セルMRA'の場合には選択トランジスタTRA'および強誘電体キャパシタCRA'により構成される。

【0008】図13の1TR-1CAP型セルを有する強誘電体記憶装置においては、例えば、メモリセルMAのデータ読み出しが、読み出しビット線BLAの折り返し方向に隣接した比較ビット線BLA'に接続された比較セルMRA'との比較により行われ、メモリセルMA'のデータ読み出しが、読み出しビット線BLA'の折り返し方向に隣接した比較ビット線BLAに接続された比較セルMRAとの比較により行われる。また比較セルMRA、MRA'においては、それぞれ図12(a)

のヒステリシス特性において、 $+Q_r$ または $-Q_r$ の残留分極電荷が読み出される場合の中間状態になるよう例えればキャパシタ面積またはバイアス電圧等を調節して、最適設計される。したがって、1TR-1CAP型セルにおいては、読み出しへによる読み出しビット線と比較セルによる比較ビット線の間の電位差が、センスアンプSAによりに増幅されて、データの判定がなされる。

【0009】

【発明が解決しようとする課題】ところで、上述した1TR-1CAP型セルを有する強誘電体記憶装置においては、メモリセルが1個の選択トランジスタと1個の強誘電体キャパシタから構成されているために、データ書き込み時のディスター防止、およびデータ読み出し時の動作マージンの確保が容易であるが、メモリセルが1個の素子から構成される他の不揮発性記憶装置、たとえばフラッシュメモリ、EPROM等と比較すると、メモリセル面積が大きくなり、大容量化できないという問題がある。

【0010】本発明は、かかる事情に鑑みてなされたものであり、その目的は、強誘電体キャパシタの分極方向によってデータの記憶を行う強誘電体記憶装置において、メモリセルを基本的に1個の強誘電体キャパシタだけで構成することにより、高集積かつ大容量化が可能な強誘電体記憶装置を提供することにある。

【0011】

【課題を解決するための手段】上記目的を達成するため、本発明の強誘電体記憶装置は、列状に配線されたそれぞれの主ビット線が接続手段を介して複数の副ビット線に接続され、上記副ビット線と行状に配線された複数のワード線が交差する格子位置にそれぞれ1個の強誘電体キャパシタより成るメモリセルが配置され、それぞれの強誘電体キャパシタの一方の電極が上記副ビット線に他の一方の電極が上記ワード線に接続され、上記誘電体キャパシタの分極方向によって、互いに逆相の第1のデータまたは第2のデータのどちらかのデータを記憶する。

【0012】また、上記強誘電体記憶装置において、上記接続手段は、MOS型半導体素子であって、当該MOS型半導体素子のソース電極またはドレイン電極の一方が上記主ビット線に、他の方が上記副ビット線に、ゲート電極が選択ゲート線に接続され、当該選択ゲート線の印加電圧に応じて上記主ビット線と副ビット線とを作動的に接続する。

【0013】また、上記強誘電体記憶装置は、メモリセルに対する第1のデータの書き込みは、選択するワード線電位よりも選択する副ビット線電位が高くなる方向に電圧印加して、強誘電体キャパシタを上記印加電界方向に分極させることにより行い、またメモリセルに対する第2のデータの書き込みは、選択するワード線電位より

(4)

5

も選択する副ビット線電位が低くなる方向に電圧を印加して、強誘電体キャパシタを上記印加電界方向に分極させることにより行う。

【0014】また、上記強誘電体記憶装置は、メモリセルに対するデータの読み出しへ、主ビット線を選択する副ビット線に接続し、選択するワード線電圧を変化させて強誘電体キャパシタの分極状態を変化させ、当該強誘電体キャパシタの分極状態の変化に応じた主ビット線電位の変化を検知することによりデータの判定を行う。

【0015】また、上記強誘電体記憶装置は、上記メモリセルに対するデータの読み出し後に、当該メモリセルに対するデータの再書き込みを行う。

【0016】また、上記強誘電体記憶装置は、それぞれの主ビット線に対応してラッチ型のセンスアンプを有し、当該センスアンプに読み出しだまたは書き込みデータをラッチすることにより、メモリセルに対するデータの書き込みまたは読み出しおよび再書き込みが、選択するワード線に接続されたすべてのメモリセル一括に行われる。

【0017】また、上記強誘電体記憶装置において、上記データの書き込みは、選択されたワード線に連なるすべてのメモリセルに対して一括に第1のデータあるいは第2のデータを書き込む消去ステップと、上記消去ステップの後に、上記消去データと逆相のデータが書き込まれるべきメモリセルに対して上記逆相データの書き込みを行う書き込みステップよりなる。

【0018】また、上記強誘電体記憶装置において、上記データの書き込みは、選択ゲート線により選択された副ビット線と交差するすべてのワード線を単位として、各ワード線毎に順番に行われる。

【0019】また、上記強誘電体記憶装置において、上記データの読み出しおよび再書き込みは、選択ゲート線により選択された副ビット線と交差するすべてのワード線を単位として、各ワード線毎に順番に行われる。

【0020】また、本発明の強誘電体記憶装置の製造方法は、各メモリセルの下層キャパシタ電極を上記副ビット線により形成する工程と、各メモリセルの強誘電体キャパシタ絶縁膜を形成する工程と、各メモリセル毎の上層キャパシタ電極を形成する工程と、上記ワード線が各メモリセル毎に上記上層キャパシタ電極に接続されるように上記ワード線を形成する工程と、上記主ビット線を形成する工程とを有する。

【0021】また、上記製造方法において、上記下層キャパシタ電極（上記副ビット線）は第1層目のプラチナまたは酸化物系セラミックス材料により形成され、上記強誘電体キャパシタ絶縁膜はペロブスカイト構造をなす酸化物強誘電体材料またはB_i系層状ペロブスカイト構造をなす酸化物強誘電体材料により形成され、上記上層キャパシタ電極は第2層目のプラチナまたは酸化物系セラミックス材料により形成され、上記ワード線は第1層

6

目のアルミニウムまたはその合金あるいは複合膜により形成され、上記主ビット線は第2層目のアルミニウムまたはその合金あるいは複合膜により形成される。

【0022】本発明の強誘電体記憶装置によれば、メモリセルが基本的に1個の強誘電体キャパシタだけで構成されるため、メモリセル面積が小さくなり、高集積化が可能となり、大容量化に好適である。

【0023】さらに、ビット線（主ビット線）が複数の副ビット線に分割され、上記副ビット線と行状に配線された複数のワード線が交差する格子位置にメモリセルが配置されるため、データ書き込み時およびデータ読み出し時にビット線（主ビット線）に連なるメモリセル個数が分割され、データ書き込み時のディスタンスが軽減され、またデータ読み出し時のマージンの確保が容易となる。

【0024】また、上記主ビット線と副ビット線との接続制御は、選択ゲート線の印加電圧に応じて上記主ビット線と副ビット線とを作動的に接続されることにより可能である。

【0025】また、メモリセルに対する第1のデータの書き込みは、選択するワード線電位よりも選択する副ビット線電位が高くなる方向に電圧を印加して、強誘電体キャパシタを上記印加電界方向に分極させることにより行い、またメモリセルに対する第2のデータの書き込みは、選択するワード線電位よりも選択する副ビット線電位が低くなる方向に電圧を印加して、強誘電体キャパシタを上記印加電界方向に分極させることにより可能である。

【0026】また、メモリセルに対するデータの読み出しへ、主ビット線を選択する副ビット線に接続し、選択するワード線電圧を変化させて強誘電体キャパシタの分極状態を変化させ、当該強誘電体キャパシタの分極状態の変化に応じた主ビット線電位の変化を検知することにより、データの判定を行うことが可能である。

【0027】また、上記メモリセルに対するデータの読み出し後に、当該メモリセルに対するデータの再書き込みを行うことにより、データの読み出し時にメモリセル内のデータ内容が破壊されても、データの回復が可能となる。

【0028】また、それぞれの主ビット線に対応してラッチ型のセンスアンプを有し、当該センスアンプに読み出しだまたは書き込みデータをラッチすることにより、メモリセルに対するデータの書き込みまたは読み出しおよび再書き込みが、選択するワード線に接続されたすべてのメモリセル一括に行われるため、データの高速書き込みおよび高速読み出しが可能となり好適である。

【0029】また、上記データの書き込みは、選択されたワード線に連なるすべてのメモリセルに対して一括に第1のデータあるいは第2のデータを書き込む消去ステップと、上記消去ステップの後に、上記消去データと逆

(5)

7

相のデータが書き込まれるべきメモリセルに対して上記逆相データの書き込みを行う書き込みステップより構成することにより、データ書き込み時に、非選択メモリセルに印加されるディスターープ電圧を軽減することが可能である。

【0030】また、上記データの書き込みは、選択ゲート線により選択された副ビット線と交差するすべてのワード線を単位として、各ワード線毎に順番に行うことにより、データ書き込み時に、非選択メモリセルに加わるディスターープ回数を制限することが可能である。

【0031】また、上記データの読み出しおよび再書き込みは、選択ゲート線により選択された副ビット線と交差するすべてのワード線を単位として、各ワード線毎に順番に行うことにより、データ再書き込み時に、非選択メモリセルに加わるディスターープ回数を制限することが可能である。

【0032】また、本発明の強誘電体記憶装置の製造方法によれば、各メモリセルの下層キャパシタ電極が副ビット線により形成され、次いで、各メモリセルの強誘電体キャパシタ絶縁膜が形成される。そして、各メモリセル毎の上層キャパシタ電極が形成され、ワード線が各メモリセル毎に上層キャパシタ電極に接続されるように上記ワード線が形成され、次いで主ビット線が形成される。

【0033】より具体的には、たとえば、上記下層キャパシタ電極（上記副ビット線）は第1層目のプラチナまたは酸化物系セラミックス材料により形成され、上記強誘電体キャパシタ絶縁膜はペロブスカイト構造をなす酸化物強誘電体材料またはBi系層状ペロブスカイト構造をなす酸化物強誘電体材料により形成され、上記上層キャパシタ電極は第2層目のプラチナまたは酸化物系セラミックス材料により形成され、上記ワード線は第1層目のアルミニウムまたはその合金あるいは複合膜により形成され、上記主ビット線は第2層目のアルミニウムまたはその合金あるいは複合膜により形成される。

【0034】

【発明の実施の形態】図1は、本発明に係る強誘電体記憶装置におけるメモリアレイを示す図である。

【0035】図1のメモリアレイ図においては、図中の2本の主ビット線MBLN、MBLN+1に対して、それぞれ1本の副ビット線SBLN、SBLN+1しか図示されていないが、これは便宜的なためであり、實際には、それぞれの主ビット線に対して複数の副ビット線が接続されている。また、副ビット線に交差するワード線本数は、図中M本となっているが、具体的には4本、あるいは8本、あるいは16本程度が適当である。

【0036】図1のメモリアレイ図において、WL1、WLm、WLMはワード線、MBLN、MBLN+1は主ビット線、SBLN、SBLN+1は副ビット線、STN、STN+1は主ビット線と副ビット線を動作に応

(5)

8

じて作動的に接続する選択トランジスタをそれぞれ示し、選択トランジスタSTN、STN+1は、選択ゲート線SLにより制御される。各ワード線WL1、WLm、WLMと各副ビット線SBLN、SBLN+1との交差点には、それぞれメモリセルをなす1個の強誘電体キャパシタC1,N、Cm,N、CM,N、C1,N+1、Cm,N+1、CM,N+1が、それぞれ一方の電極が対応する副ビット線に、他方の電極が対応するワード線に接続されている。

【0037】また、トランジスタPCTN、PCTN+1は、プリチャージ信号φPCにより、主ビット線MBLN、MBLN+1をプリチャージ電圧VPCにプリチャージするためのトランジスタであり、トランジスタCTN、CTN+1は、カラム選択信号φCにより、主ビット線MBLN、MBLN+1をそれぞれのセンスアンプに接続するためのトランジスタである。センスアンプSAN、SAN+1は、それぞれ主ビット線MBLN、MBLN+1に接続されたセンスアンプであり、センスイネーブル信号φSEで活性化されセンスアンプSANは、ノード電位VNおよび比較電位VRN間の電位差をセンスし、センスアンプSAN+1は、ノード電位VN+1および比較電位VRN+1間の電位差をセンスする。

【0038】図2は、図1のメモリアレイ図におけるパターンレイアウト図である。また、図3は、図2のパターンレイアウト図において、A-A'方向から眺めたデバイス構造断面図である。

【0039】図2のパターンレイアウト図、および図3デバイス構造断面図において、1はシリコン基板、2はLOCOS素子分離、3はゲート酸化膜、4は選択トランジスタSTN、STN+1のソース／ドレインn+拡散層領域である。5は選択ゲート線SLであり、通常のポリシリコンあるいはポリサイドゲート電極である。6は副ビット線SBLN、SBLN+1であり、また強誘電体キャパシタ下部電極でもあり、具体的には第1層目のプラチナ層で形成される。7は強誘電体キャパシタ絶縁膜であり、具体的にはヒステリシス特性を有する強誘電体材料、たとえばPbZrTiO₃、BiSr₂Ta₂O₉等により形成される。8は各強誘電体キャパシタC1,N、Cm,N、CM,N、C1,N+1、Cm,N+1、CM,N+1の上部電極であり、具体的には第2層目のプラチナ層で形成される。9は第1層目アルミニウム配線下の層間絶縁膜であり、通常のCVDシリコン酸化膜である。

【0040】10a、10b、10c、10dは第1層目アルミニウム配線下のコンタクトホールであり、それぞれ、コンタクトホール10aおよび10dは第1層目アルミニウム配線とN+拡散層領域とを、コンタクトホール10bは第1層目アルミニウム配線と第1層目のプラチナ層とを、コンタクトホール10cは第1層目アルミニウム配線と第2層目のプラチナ層とを接続するため

(6)

9

のものである。11a、11b、11cは第1層目アルミニウム配線であり、第1層目アルミニウム配線11aは副ビット線のブリッジ配線を、第1層目アルミニウム配線11bはワード線WL1、WLm、WLMを、第1層目アルミニウム配線11cは第2層目アルミニウム配線とn+拡散層領域を接続するためのパッドアルミニウム層を構成する。12は第2層目アルミニウム配線下の層間絶縁膜であり、通常のCVDシリコン酸化膜である。13は第2層目アルミニウム配線下のコンタクトホールであり、第2層目アルミニウム配線と第1層目アルミニウム配線とを接続する。14は第2層目アルミニウム配線であり、主ビット線MBLN、MBLN+1を構成する。

【0041】次に、図1のメモリアレイ図において、メモリセルに対するデータ書き込みを行う場合の第1の実施形態を、図4のタイミングチャート図、および図6のヒステリシス特性を参照しながら、順に説明する。

【0042】図4のタイミングチャート図は、ワード線WLmおよび副ビット線SBLN、SBLN+1を選択して、強誘電体キャパシタ（メモリセル）C_{m,N}に第1のデータ（以下1データ）を、C_{m,N+1}に第2のデータ（以下0データ）を書き込む場合のタイミング図である。この場合、メモリセルに対する1データの書き込みは、選択するワード線電位よりも選択する副ビット線電位が高くなる方向に電圧を印加して、強誘電体キャパシタを上記印加電界方向に分極させることにより行う。また、メモリセルに対する0データの書き込みは、選択するワード線電位よりも選択する副ビット線電位が低くなる方向に電圧を印加して、強誘電体キャパシタを上記印加電界方向に分極させることにより行う。

【0043】まず、時刻t1で、メモリセルC_{m,N}が接続された主ビット線MBLNを電源電圧VCC（3.3V）に、メモリセルC_{m,N+1}が接続された主ビット線MBLN+1を接地電圧（0V）に設定する。

【0044】次に、時刻t2で、選択ゲート線SLを0Vから5Vに、メモリセルC_{m,N}、C_{m,N+1}が接続された選択ワード線WLmを電源電圧VCC（3.3V）に、WLm以外の非選択のワード線WL1～WLMを(1/2)VCC（1.65V）に設定する。その結果、0データを書き込むべきメモリセルの強誘電体キャパシタC_{m,N+1}が、図6に示すヒステリシス特性において、D点の状態に時刻t3までに移動し、0データの書き込みが完了する。

【0045】次に、時刻t3で、選択ワード線WLmを接地電圧（0V）に立ち下げる。その結果、1データを書き込むべきメモリセルの強誘電体キャパシタC_{m,N}が、図6に示すヒステリシス特性においてC点の状態に時刻t4までに移動し、1データの書き込みが完了する。最後に時刻t4で、すべての主ビット線MBLN、MBLN+1を0Vに立ち下げた後に、選択ゲート線S

(6)

10

L、すべてのワード線WL1～WLMを接地電圧（0V）に立ち下げるにより、書き込み動作が終了する。

【0046】なお、データ書き込み期間中、WLm以外の非選択のワード線WL1～WLMは(1/2)VCC（1.65V）に設定されるが、その結果、選択された副ビット線に接続された強誘電体キャパシタC_{m,N}、C_{m,N+1}以外の非選択のメモリセルには、(1/2)VCC（1.65V）のディスターブ電圧が印加されることになる。

10 このディスターブ電圧が問題となるのは、非選択メモリセルに記録されているデータ内容と逆データが書き込まれる方向に、上記ディスターブ電圧が加わる場合である。

【0047】たとえば、非選択メモリセルに1データが記録されている場合、ディスターブ電圧が印加される結果、図6に示すヒステリシス特性において、A点からA1点まで強誘電体キャパシタの分極状態が変化する。また、非選択メモリセルに0データが記録されている場合、ディスターブ電圧が印加される結果、図6のヒステリシス特性において、B点からB1点まで強誘電体キャパシタの分極状態が変化する。ただし、非選択メモリセルに対するディスターブは、非選択メモリセルに1データが記録されている場合、A点からA3点まで分極状態が変化しない限り、また、非選択メモリセルに0データが記録されている場合、B点からB3点まで分極状態が変化しない限り、データが反転することはなく、問題とならない。

【0048】次に、図1のメモリアレイ図において、メモリセルに対するデータ書き込みを行う場合の第2の実施形態を、図5のタイミングチャート図、および図6のヒステリシス特性を参照しながら、順に説明する。この第2の実施形態の、図4の第1の実施例に対する利点は、データ書き込み時に非選択メモリセルに加わるディスターブ電圧が、(1/2)VCC（1.65V）から(1/3)VCC（1.1V）と軽減できる点にある。

【0049】図5の場合も、図4と同様、ワード線WLmおよび副ビット線SBLN、SBLN+1を選択して、強誘電体キャパシタ（メモリセル）C_{m,N}に1データを、C_{m,N+1}に0データを書き込む場合のタイミング図である。図5の第2の実施形態の場合には、図4の第1の実施形態の場合と異なり、選択されたワード線に接続されたすべてのメモリセルに対して0データ（あるいは1データでもよい）を書き込む消去ステップと、消去ステップの後に、上記消去データと逆相のデータが書き込まれるべきメモリセルに対して上記逆相データの書き込みを行う書き込みステップの、2段階のステップにより、データ書き込み方法が構成される。

【0050】この場合、メモリセルに対するデータ消去（0データの書き込み）は、選択するワード線電位よりも選択する副ビット線電位が低くなる方向に電圧を印加

(7)

11

して、強誘電体キャパシタを上記印加電界方向に分極させることにより行う。また、メモリセルに対する逆相データ（1データ）の書き込みは、選択するワード線電位よりも選択する副ビット線電位が高くなる方向に電圧を印加して、強誘電体キャパシタを上記印加電界方向に分極させることにより行う。

【0051】まず、時刻 t_1 で、すべての主ビット線 M_{BLN}, M_{BLN+1} を接地電圧（0V）に設定し、続いて、選択ゲート線 S_L を0Vから5Vに、選択ワード線 WL_m を電源電圧 VCC (3.3V) に WL_m 以外のすべての非選択のワード線 $WL_1 \sim WL_M$ を接地電圧 (0V) に設定する。その結果、選択ワード線 WL_m に連なるすべてのメモリセルの強誘電体キャパシタ $C_{m,N}, C_{m,N+1}$ が、図6に示すヒステリシス特性においてD点の状態に時刻 t_2 までに移動し、消去（0データの書き込み）が完了する。

【0052】次に、時刻 t_2 で、選択ゲート線 S_L 、および選択ワード線 WL_m を接地電圧 (0V) に立ち下げ、続いて、逆相データ（1データ）の書き込みを行うべきメモリセル $C_{m,N}$ の接続された主ビット線 M_{BLN} を電源電圧 VCC (3.3V) に、消去データ（0データ）のままでよいメモリセル $C_{m,N+1}$ の接続された主ビット線 M_{BLN+1} を(1/3)VCC (1.1V) に設定する。次に、時刻 t_3 で選択ゲート線 S_L を5Vに、選択ワード線 WL_m を接地電圧 (0V) に WL_m 以外のすべての非選択のワード線 $WL_1 \sim WL_M$ を(2/3)VCC (2.2V) に設定する。その結果、逆相データ（1データ）を書き込むべきメモリセルの強誘電体キャパシタ $C_{m,N}$ が図6に示すヒステリシス特性においてD点からC点の状態に時刻 t_4 までに移動し、逆相データの書き込みが完了する。最後に時刻 t_4 で、すべての主ビット線 M_{BLN}, M_{BLN+1} を(1/3)VCC (1.1V) に設定した後に、選択ゲート線 S_L 、すべてのワード線 $WL_1 \sim WL_M$ を接地電圧 (0V) に立ち下げるにより、書き込み動作が終了する。

【0053】なお、逆相データの書き込み期間中、 WL_m 以外の非選択のワード線 $WL_1 \sim WL_M$ は(2/3)VCC (2.2V) に設定されるが、その結果、選択された副ビット線に連なる $C_{m,N}, C_{m,N+1}$ 以外の非選択メモリセルには、(1/3)VCC (1.1V) のディスターブ電圧が印加されることになる。このディスターブ電圧が問題となるのは、非選択メモリセルに記録されているデータ内容と逆データが書き込まれる方向に、上記ディスターブ電圧が加わる場合である。

【0054】たとえば、非選択メモリセルに1データが記録されている場合、ディスターブ電圧が印加される結果、図6に示すヒステリシス特性において、A点からA2点まで強誘電体キャパシタの分極状態が変化する。また、非選択メモリセルに0データが記録されている場合、ディスターブ電圧が印加される結果、図6に示すヒ

12

ステリシス特性において、B点からB2点まで強誘電体キャパシタの分極状態が変化する。ただし、図5の第2の実施形態の場合、図4の第1の実施形態の場合と比較すると、非選択メモリセルに対するディスターブは、大幅に軽減できることが、図6のヒステリシス特性から判る。したがって、非選択メモリセルに1データが記録されている場合、A点からA3点まで、また、非選択メモリセルに0データが記録されている場合、B点からB3点まで分極状態が変化して、データが反転することはありえない。

【0055】なお、図4の第1の実施形態の場合、および図5の第2の実施形態の場合とも、選択するワード線1本に連なるメモリセルに対して一括データ書き込みを行っているが、データ書き込みの単位を、選択ゲート線により選択された副ビット線と交差するすべてのワード線を単位として、各ワード線毎に順番にデータ書き込みを行ってもよい。たとえば、図4の第1の実施形態、および図5の第2の実施形態の場合、データ書き込みを、ワード線 $WL_1 \sim WL_M$ を1単位として、 WL_1, WL_2, \dots, WL_M と順番にデータ書き込みを行えばよい。このようなブロック単位のデータ書き込みにより、データ書き込み時に非選択メモリセルが受けるディスターブ回数を、最大限 ($M-1$) 回に制限することが可能となり、ディスターブ防止の観点から好適である。

【0056】続いて、図1の、メモリアレイ図における、メモリセルに対するデータの読み出しを行う場合の第1の実施例を、図7のタイミングチャート図、および図9のヒスリシス特性を参照しながら順に説明する。

【0057】図7のタイミングチャート図は、ワード線 WL_m および副ビット線 S_{BLN}, S_{BLN+1} を選択して、強誘電体キャパシタ（メモリセル） $C_{m,N}$ に記録されている1データ、および $C_{m,N+1}$ に記録されている0データを読み出し、その後、 $C_{m,N}$ に1データ、および $C_{m,N+1}$ に0データの再書き込みを行う場合のタイミング図である。この場合、メモリセルに対するデータの読み出しは、主ビット線を選択する副ビット線に接続し、選択するワード線電圧を変化させて強誘電体キャパシタの分極状態を変化させ、当該強誘電体キャパシタの分極状態の変化に応じた主ビット線電位の変化を検知することにより、データの判定を行う。また、メモリセルに対するデータの再書き込みは、図4のデータ書き込み方法の第1の実施形態における場合と同様である。

【0058】まず、時刻 t_1 で、プリチャージ信号 ϕ_{PC} を電源電圧 VCC (3.3V) に、およびカラム選択信号 ϕ_C を5Vに立ち上げることにより、時刻 t_2 までに、主ビット線 M_{BLN}, M_{BLN+1} をプリチャージ電圧 VPC (0V) にプリチャージし、また主ビット線 M_{BLN}, M_{BLN+1} をそれぞれのセンスアンプのノード V_N, V_{N+1} に接続する。

【0059】次に、時刻 t_2 で、プリチャージ信号 ϕ_P

(8)

13

C を $0V$ に立ち下げて主ビット線 $MBLN$ 、 $MBLN+1$ をフローティング状態した後に、選択ゲート線 SL を $0V$ から $5V$ に、読み出しメモリセル $C_{m,N}$ 、 $C_{m,N+1}$ が接続された選択ワード線 WLm を $0V$ から電源電圧 VCC (3.3V)に立ち上げる。その結果、選択ワード線 WLm に連なるすべてのメモリセルの強誘電体キャパシタ $C_{m,N}$ 、 $C_{m,N+1}$ が、0データが書き込まれた分極*

$$\Delta V(+) = VCC \cdot [C(+)] / \{ (M-1) \cdot C(-) + C(+) + CBL \}] \quad \dots (1)$$

$$\Delta V(-) = VCC \cdot [C(-)] / \{ M \cdot C(-) + CBL \}] \quad \dots (2)$$

なお、(1)式、(2)式において、 $C(+)$ はメモリセルの分極状態が反転する場合の容量であり、 $C(-)$ はメモリセルの分極状態が反転しない場合の容量であり、 CBL はビット線容量である。また、 M は副ビット線に連なるワード線本数であり、この場合8本とし、電源電圧 VCC は3.3Vとする。一般的なメモリセルの場合、 $C(+)$ ≈500fF、 $C(-)$ ≈100fF、 CBL ≈1000fF程度であるので、(1)式、(2)式より、 $\Delta V(+)$ 、 $\Delta V(-)$ は、以下の程度である。

$$\Delta V(+) = 0.75V$$

$$\Delta V(-) = 0.18V$$

【0061】以上のこととは、図9のヒステリシス特性においても、図示して説明できる。つまり、1データが記録されていたメモリセルの強誘電体キャパシタ $C_{m,N+1}$ の場合、A点の状態からE点の状態に移動し、0データの分極状態に反転する。そして、副ビット線 $SBLN$ に接続されている $C_{m,N}$ 以外の非選択メモリセル $C1,N \sim CM,N$ は、1データが記録されていたメモリセルの場合、A点の状態からG点の状態に移動し、0データが記録されていたメモリセルの場合、B点の状態からI点の状態に移動するが、との状態はそのまま保持される。

【0062】また、0データが記録されていたメモリセルの強誘電体キャパシタ $C_{m,N+1}$ の場合、B点の状態からF点の状態に移動するが、0データの分極状態は変化しない。そして、副ビット線 $SBLN+1$ に接続されている $C_{m,N+1}$ 以外の非選択メモリセル $C1,N+1 \sim CM,N+1$ は、1データが記録されていたメモリセルの場合、A点の状態からH点の状態に移動し、0データが記録されていたメモリセルの場合、B点の状態からJ点の状態に移動するが、とのデータ状態はそのまま保持される。なお、図9に示すヒステリシス特性において、一点鎖線A-Eの直線傾きは、上述した分極状態が反転する場合の容量 $C(-)$ を表しており、また、一点鎖線B-Fの直線傾きは、上述した分極状態が反転しない場合の容量 $C(-)$ を表している。

【0063】次に時刻 t_3 で、選択ゲート線 SL を、次に選択ワード線 WLm を $0V$ に立ち下げ、時刻 t_4 でセンシネーブル信号 ϕSE を電源電圧 VCC (3.3V)に立ち上げることにより、それぞれの主ビット線に

* 状態に変化する。

【0060】このため、1データが記録されていたメモリセル $C_{m,N}$ は、分極状態が反転し、主ビット線 $MBLN$ の電位変化 $\Delta V(+)$ は大きく、次式(1)で表される。また、0データ記録されていたメモリセルの $C_{m,N+1}$ は、分極状態が変化せず、主ビット線 $MBLN+1$ の電位変化 $\Delta V(-)$ は小さく、次式(2)で表される。

$$\Delta V(+) = VCC \cdot [C(+)] / \{ (M-1) \cdot C(-) + C(+) + CBL \}] \quad \dots (1)$$

$$\Delta V(-) = VCC \cdot [C(-)] / \{ M \cdot C(-) + CBL \}] \quad \dots (2)$$

接続されたセンスアップSAN、 $SAN+1$ を活性化させる。その結果、センスアップSANは、上述した主ビット線 $MBLN$ の電位変化 $\Delta V(+)$ (ノード電位 VN)と比較電位 VRN との電位差をセンスし、またセンスアンプ $SAN+1$ は、主ビット線 $MBLN+1$ の電位変化 $\Delta V(-)$ (ノード電位 $VN+1$)と比較電位 $VRN+1$ の電位差をセンスする。

【0064】ここで、それぞれの比較電位 VRN 、 $VRN+1$ のすべてを、予想される主ビット線電位の変化量、 $\Delta V(+) = 0.75V$ 、および $\Delta V(-) = 0.18V$ のおよそ中間値 $VRN \sim VRN+1 = 0.46V$ 程度に設定する。その結果、センスアンプSANには、読み出しメモリセル $C_{m,N}$ に記録されていた1データ

が、時刻 t_5 までに、センスラッチされ、主ビット線 $MBLN$ の電位は電源電圧 VCC (3.3V)に設定され、また、センスアンプ $SAN+1$ には、読み出しメモリセル $C_{m,N+1}$ に記録されていた0データが、センスラッチされ、主ビット線 $MBLN+1$ の電位は接地電圧(0V)に設定される。

【0065】さて、時刻 t_5 からは、読み出しメモリセル $C_{m,N}$ 、 $C_{m,N+1}$ に対するデータの再書き込みにはいる。

【0066】まず、時刻 t_5 で、選択ゲート線 SL を $0V$ から $5V$ に、メモリセル $C_{m,N}$ 、 $C_{m,N+1}$ が接続された選択ワード線 WLm を電源電圧 VCC (3.3V)に、 WLm 以外のすべての非選択のワード線 $WL1 \sim WLm$ を $(1/2)VCC$ (1.65V)に設定する。その結果、0データを書き込むべきメモリセルの強誘電体キャパシタ $C_{m,N+1}$ が、図9のヒステリシス特性においてD点の状態に時刻 t_6 までに移動し、0データの再書き込みが完了する。

【0067】次に時刻 t_6 で、選択ワード線 WLm を接地電圧(0V)に立ち下げる。その結果、1データを書き込むべきメモリセルの強誘電体キャパシタ $C_{m,N}$ が、図9に示すヒステリシス特性においてC点の状態に時刻 t_7 までに移動し、1データの再書き込みが完了する。最後に時刻 t_7 で、カラム選択信号 ϕC を $0V$ に立ち下げることにより、主ビット線 $MBLN$ 、 $MBLN+1$ をそれぞれのセンスアンプのノード VN 、 $VN+1$ と切り離した後に、プリチャージ信号 ϕPC を電源電圧 VCC

(9)

15

(3. 3 V) に立ち上げることにより、すべての主ビット線MBLN, MBLN+1をプリチャージ電圧VPC (0 V) にプリチャージする。その後、選択ゲート線SL、すべてのワード線WL1～WLMを接地電源電圧 (0 V) に立ち下げるにより、書き込み動作が終了する。

【0068】なお、データ再書き込み期間中、WLm以外の非選択のワード線WL1～WLMは(1/2) VCC (1. 65 V) に設定されるが、その結果、選択された副ビット線に連なるCm,N, Cm,N+1 以外の非選択メモリセルには、(1/2) VCC (1. 65 V) のディステーブ電圧が印加されることになる。これは、図4で説明したデータ書き込みの第1の実施形態の場合と、同様である。

【0069】次に、図1のメモリアレイ図において、メモリセルに対するデータの読み出しを行う場合の第2の実施形態を、図8のタイミングチャート図、および図9のヒステリシス特性を参照しながら、順に説明する。この第2の実施形態の、図7の第1の実施形態に対する利点は、データ書き込み時に非選択メモリセルに加わるディステーブ電圧が、(1/2) VCC (1. 65 V) から(1/3) VCC (1. 1 V) に軽減できる点にある。

【0070】図8の場合も、図7の場合と同様、メモリセルCm,N に記録されている1データ、およびCm,N+1 に記録されている0データを読み出し、その後、Cm,N に1データ、およびCm,N+1 に0データの再書き込みを行う場合のタイミング図である。この場合、メモリセルに対するデータの読み出しあは、図7のデータ読み出し方法の第1の実施形態における場合と同様である。また、メモリセルに対するデータの再書き込みは、図5のデータ書き込み方法の第2の実施形態における場合と同様である。

【0071】まず、時刻t1で、プリチャージ信号 ϕ_{PC} を電源電圧VCC (3. 3 V) に、およびカラム選択信号 ϕ_C を5 Vに立ち上げることにより、時刻t2までに、主ビット線MBLN, MBLN+1をプリチャージ電圧VPC (0 V) にプリチャージし、また主ビット線MBLN, MBLN+1をそれぞれのセンスアンプのノードVN, VN+1に接続する。

【0072】次に時刻t2で、プリチャージ信号 ϕ_{PC} を0 Vに立ち下げて主ビット線MBLN, MBLN+1をフローティング状態にした後に、選択ゲート線SLを0 Vから5 Vに読み出しメモリセルCm,N, Cm,N+1 が接続された選択ワード線WLmを0 Vから電源電圧VCC (3. 3 V) に立ち上げる。その結果、選択ワード線WLmに連なるすべてのメモリセルの強誘電体キャパシタCm,N, Cm,N+1 が、0データが書き込まれた分極状態に変化する。

【0073】このため、1データが記録されていたメモリセルCm,N は、分極状態が反転し、主ビット線MBLN

16

Nの電位変化 ΔV (+) は大きく、図7の第1の実施形態で説明したように ΔV (+) = 0. 75 Vが見込まれる。また、0データ記録されていたメモリセルCm,N+1 は、分極状態が反転せず、主ビット線MBLN+1の電位変化 ΔV (-) は小さく、図7の第1で実施形態で説明したように、 ΔV (-) = 0. 18 Vが見込まれる。

【0074】以上のこととは、図9に示すヒステリシス特性においても、図示して説明できることは、図7の第1の実施形態の場合と同様である。

【0075】次に時刻t3で、選択ゲート線SLを、次に選択ゲート線WLmを0 Vに立ち下げ、時刻t4で、センスイネーブル信号 ϕ_{SE} を電源電圧VCC (3. 3 V) に立ち上げることにより、それぞれの主ビット線に接続されたセンスアンプSAN, SAN+1を活性化させる。その結果、センスアンプSANには、時刻t5までに、1データがセンスラッチされ、主ビット線MBLNの電位は電源電圧VCC (3. 3 V) に設定される。また、センスアンプSAN+1には、0データがセンスラッチされ、主ビット線MBLN+1の電位は接地電圧 (0 V) に設定される。

【0076】さて、時刻t5からは、読み出しメモリセルCm,N, Cm,N+1 に対するデータの再書き込みにはいる。

【0077】まず、時刻t5で、カラム選択信号 ϕ_C を0 Vに立ち上げることにより、主ビット線MBLN, MBLN+1をそれぞれのセンスアンプのノードVN, VN+1と切り離した後に、プリチャージ信号 ϕ_{PC} を電源電圧VCC (3. 3 V) に立ち上げることにより、すべての主ビット線MBLN, MBLN+1をプリチャージ電圧VPC (0 V) にプリチャージする。続いて、選択ゲート線SLを0 Vから5 Vに、選択ワード線WLmを電源電圧VCC (3. 3 V) に、WLm以外のすべての非選択のワード線WL1～WLMを接地電圧 (0 V) に設定する。その結果、選択ワード線WLmに連なるすべてのメモリセルの強誘電体キャパシタCm,N, Cm,N+1 が図9のヒステリシス特性においてD点の状態に時刻t6までに移動し、消去 (0データの書き込み) が完了する。

【0078】次に、時刻t6で選択ゲート線SL、および選択ワード線WLmを接地電圧 (0 V) に立ち下げる。次に、センスアンプ系の電源を、ハイ側を電源電圧VCC (3. 3 V) のまま、ロー側を接地電圧 (0 V) から(1/3) VCC (1. 1 V) に切り換える。次に、カラム選択信号 ϕ_C を5 Vに立ち上げて、再度、主ビット線MBLNの電位をセンスアンプSANにより電源電圧VCC (3. 3 V) に、主ビット線MBLN+1の電位をセンスアンプSAN+1により(1/3) VCC (1. 1 V) に設定する。次に、時刻t7で選択ゲート線SLを5 Vに、選択ワード線WLmを接地電圧 (0 V) に、WLm以外のすべての非選択のワード線WL1～WLMを

(10)

17

(2/3) VCC (2.2V) に設定する。

【0079】その結果、逆相データ（1データ）を書き込むべきメモリセルC_{m,N}が、図9のヒステリシス特性においてD点からC点の状態に時刻t₈まで移動し、逆相データの再書き込みが完了する。最後に時刻t₈で、カラム選択信号φCを0Vに立ち下げるにより、主ビット線MBLN、MBLN+1をそれぞれのセンサアンプのノードVN、VN+1と切り離した後に、プリチャージ信号φPCを電源電圧VCC (3.3V) に立ち上げることにより、すべての主ビット線MBLN、MBLN+1をプリチャージ電圧VPC ((1/3)VCC (1.1V)) にプリチャージする。その後、選択ゲート線SL、すべてのワード選択WL1～WLMを接地電圧(0V)に立ち下げるにより、再書き込み動作が終了する。

【0080】なお、逆相データの再書き込み期間中、WLm以外の非選択のワード線WL1～WLMは(2/3)VCC (2.2V) に設定されるが、その結果、選択された副ビット線に連なるC_{m,N}、C_{m,N+1}以外の非選択メモリセルには、(1/3)VCC (1.1V) のディスターブ電圧が印加されることになる。これは、図5で説明したデータ書き込みの第2の実施形態と同様であり、図7の第1の実施形態のデータ読み出しの例と比較すると、非選択メモリセルに対するディスターブは、大幅に軽減できる。

【0081】また、図7の第1の実施形態の場合、および図8の第2の実施形態の場合とも、選択するワード線1本に連なるメモリセルに対して一括にデータの読み出しおよび再書き込みを行っているが、データの読み出しおよび再書き込みの単位を、選択ゲート線により選択された副ビット線と交差するすべてのワード線を単位として、各ワード線毎に順番にデータの読み出しおよび再書き込みを行ってもよい。たとえば、図7の第1の実施形態、および図8の第2の実施形態の場合、データの読み出しおよび再書き込みをワード線WL1～WLMを1単位として、WL1、WL2…、WLMと順番にデータの読み出しおよび再書き込みを行えばよい。このようなブロック単位のデータの読み出しおよび再書き込みにより、データ再書き込み時に非選択メモリセルが受けるディスターブ回数を、最大限(M-1)回に制限することが可能となり、ディスターブ防止の観点から好適である。

【0082】図10は、図1のメモリアレイ図において、センサアンプSAN、SAN+1の具体的な回路図の例を示す図である。

【0083】図10のセンサアンプにおいては、pチャネルMOS（以下、PMOSといふ）トランジスタTP1、nチャネルMOS（以下、NMOSといふ）トランジスタTN1およびPMOSトランジスタTP2、NMOSトランジスタTN2により構成される相補のイ

18

ンバータ回路により、ラッチ回路を構成する。また、このラッチ回路は、PMOSトランジスタTP3、NMOSトランジスタTN3が、センスイネーブル信号φSEをうけて活性化されることにより、ノードN1とN2とのノード間電位差を増幅しラッチする。

【0084】それぞれの主ビット線毎に対応して、図10に示すようなラッチ型センサアンプを有することにより、当該センサアンプに読み出しデータまたは書き込みデータをラッチすることが可能となる。その結果、図

10、図5、図7、図8の例で示したように、メモリセルに対応するデータの書き込みまたは読み出しおよび再書き込みが、選択するワード線に連なるすべてのメモリセル一括に行うことができる。

【0085】次に、本発明の強誘電体記憶装置を製造するための、プロセスフローの例について説明する。

【0086】図11(a)～図11(e)は、図3のデバイス構造断面図にいたるまでの、プロセスフローを示した図である。

【0087】まず、図11(a)に示すように、シリコン基板上1に、LOCOS素子分離領域2、およびゲート酸化膜3を形成し、ポリシリコンまたはポリサイドゲート電極5を形成した後、イオン注入によりソース/ドレインn+拡散層領域4を形成するまでは、通常のCMOSプロセスと同様である。

【0088】次に、図11(b)に示すように、第1層目のプラチナ層を、たとえばスパッタ法等にて、～200nm程度形成し、さらに、強誘電体薄膜（たとえばPbZrTiO₃、BiSr₂Ta₂O₉等）を、スパッタ法等にて、～200nm程度形成する。次に、上記第30第1層目のプラチナ層、および強誘電体薄膜をRIE法等により、同時にエッチング加工して、強誘電体キャパシタ下部電極6、および強誘電体キャパシタ絶縁膜7を形成する。

【0089】次に、図11(c)に示すように、第2層のプラチナ層を、たとえばスパッタ法等にて、～200nm程度形成し、その後、RIE法等により、エッチング加工し、強誘電体キャパシタ上部電極8を形成する。

【0090】次に、図11(d)に示すように、CVD法により層間絶縁膜(SiO₂膜)9を形成した後に、40コンタクトホール10a、10b、10c、10dを形成し、その後、第1層目のアルミニウム層をスパッタ法にて形成し、さらにエッチング加工して、副ビット線のブリッジ配線11a、ワード線11b、パッドアルミニウム層11cを形成する。

【0091】最後に、図11(e)に示すように、CVD法により層間絶縁膜(SiO₂膜)9を形成した後に、コンタクトホール13を形成し、その後、第2層目のアルミニウム層をスパッタ法にて形成し、さらにエッティング加工して、主ビット線14を形成する。以上のプロセスフローの結果、図3のデバイス構造断面図に至

(11)

19

る。

【0092】

【発明の効果】以上説明したように、本発明の強誘電体記憶装置によれば、列状に配線されたそれぞれの主ビット線が接続手段を介して複数の副ビット線に接続され、上記副ビット線と行状に配線された複数のワード線が交差する格子位置にそれぞれ1個の強誘電体キャパシタより成るメモリセルが配置される。その結果、基本的に1個の強誘電体キャパシタよりなるメモリセルに対して、データの書き込み、および読み出しが可能となり、高集積かつ大容量化が可能な強誘電体記憶装置を提供することができる。

【図面の簡単な説明】

【図1】本発明に係わる強誘電体記憶装置のメモリアレイを示す図である。

【図2】図1のメモリアレイ図におけるパターンレイアウトを示す図である。

【図3】図2のパターンレイアウト図において、A-A'方向から眺めたデバイス構造断面を示す図である。

【図4】図1のメモリアレイ図において、データの書き込みを行う第1の実施形態の場合のタイミングチャートを示す図である。

【図5】図1のメモリアレイ図において、データの書き込みを行う第2の実施形態の場合のタイミングチャートを示す図である。

【図6】図4の第1のデータ書き込み実施形態、及図5の第2のデータ書き込み実施形態を説明するための強誘電体キャパシタのヒステリシス特性を示す図である。

【図7】図1のメモリアレイ図において、データの読み出しを行う第1の実施形態の場合のタイミングチャートを示す図である。

【図8】図1のメモリアレイ図において、データの読み出しを行う第2の実施形態の場合のタイミングチャートを示す図である。

【図9】図7の第1のデータ読み出し実施形態、および図8の第2のデータの読み出し実施形態を説明するための強誘電体キャパシタのヒステリシス特性を示す図である。

【図10】センスアンプの具体的な回路を示す図である。

【図11】本発明に係わる強誘電体記憶装置のプロセスフローを示す図である。

【図12】強誘電体キャパシタのヒステリシス特性、お

20

よび互いに逆相の第1のデータ、第2のデータが書き込まれたキャパシタ状態を示す図である。

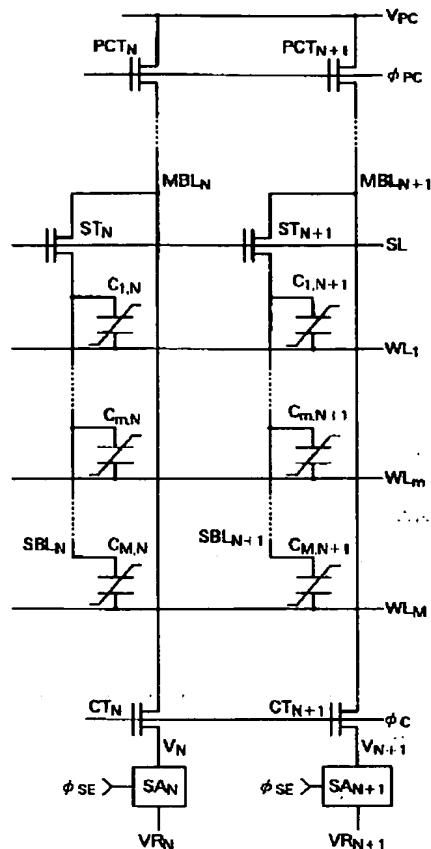
【図13】1TR-1CAP型セルを有する強誘電体記憶装置のメモリアレイを示す図である。

【符号の説明】

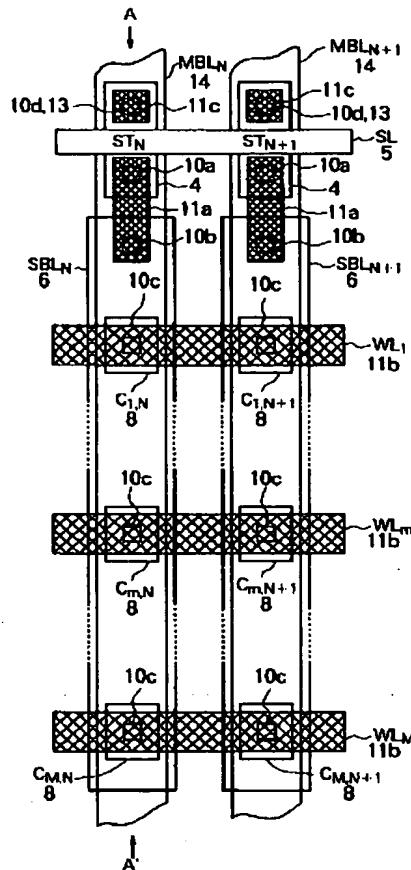
WL 1～WLM	… ワード線
S L	… 選択ゲート線
φ C	… カラム選択信号
φ P C	… プリチャージ信号
10 φ S E	… センスイネーブル信号
C 1, N～CM, N, C 1, N+1～CM, N+1 …	メモリセル（強誘電体キャパシタ）
S T N, S T N+1	… 選択トランジスタ
C T N, C T N+1	… プリチャージ選択トランジスタ
P C T N, P C T N+1	… カラム選択トランジスタ
S A N, S A N+1	… センスアンプ
M B L N, M B L N+1	… 主ビット線
S B L N, S B L N+1	… 副ビット線
20 V P C	… プリチャージ電圧
V R N, V R N+1	… 比較電位
V N, V N+1	… ノード電位
1 …	シリコン基板
2 …	L LOCOS素子分離
3 …	ゲート酸化膜
4 …	ソース／ドレインn+拡散層領域
5 …	ポリシリコンあるいはポリサイドゲート電極
6 …	強誘電体キャパシタ下部電極
30 7 …	強誘電体キャパシタ絶縁膜
8 …	強誘電体キャパシタ上部電極
9 …	第1層目アルミニウム配線下の層間絶縁膜
10 a, 10 b, 10 c, 10 d …	第1層目アルミニウム配線下のコンタクトホール
11 a, 11 b, 11 c …	第1層目アルミニウム配線
12 …	第2層目アルミニウム配線下の層間絶縁膜
40 13 …	第2層目アルミニウム配線下のコンタクトホール
14 …	第2層目アルミニウム配線

(12)

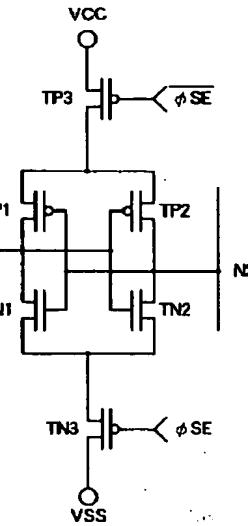
【図1】



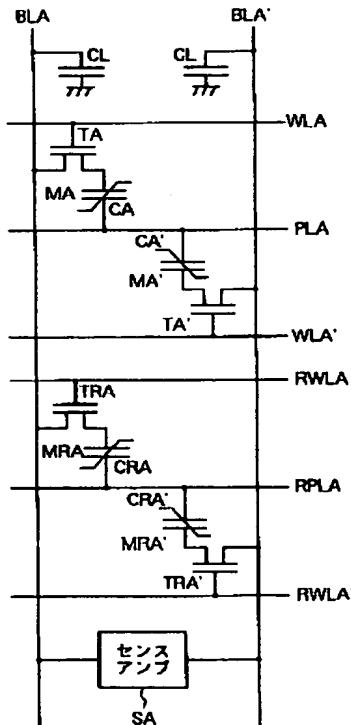
【図2】



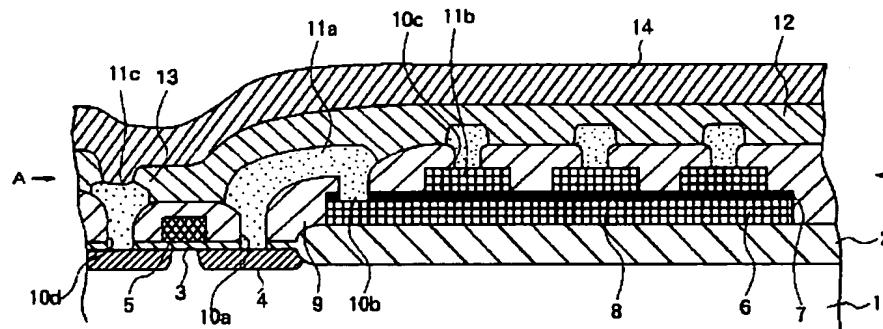
【図10】



【図13】

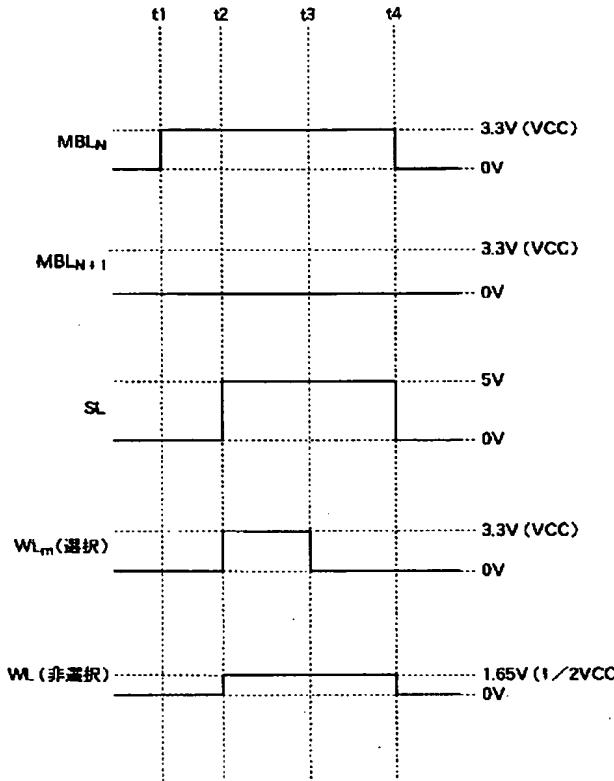


【図3】

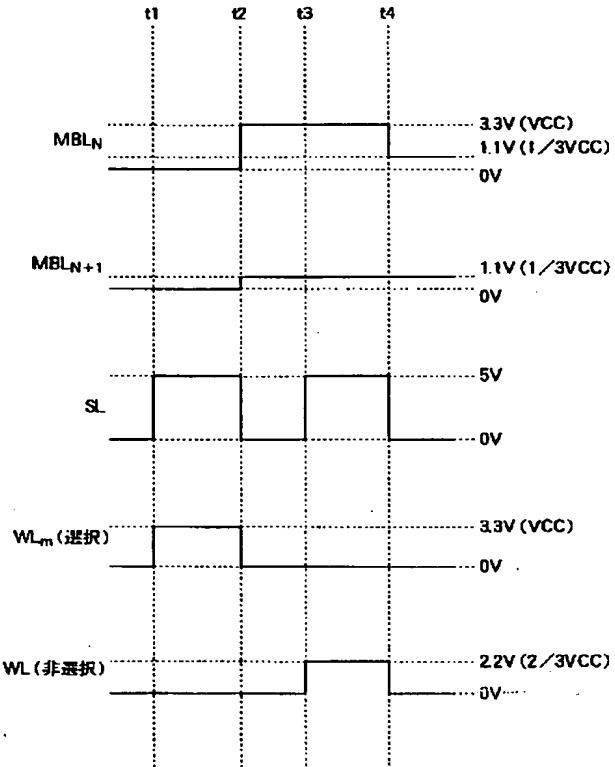


(13)

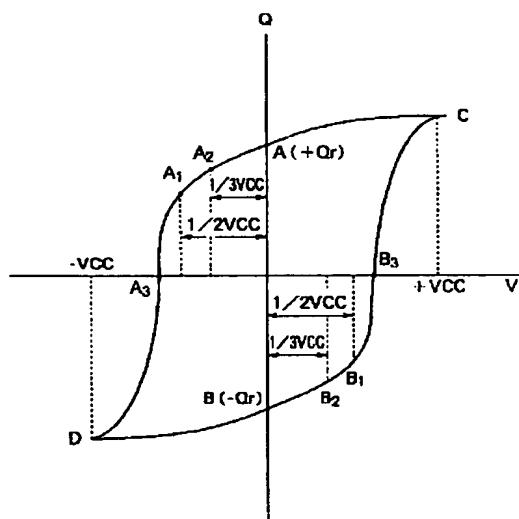
【図4】



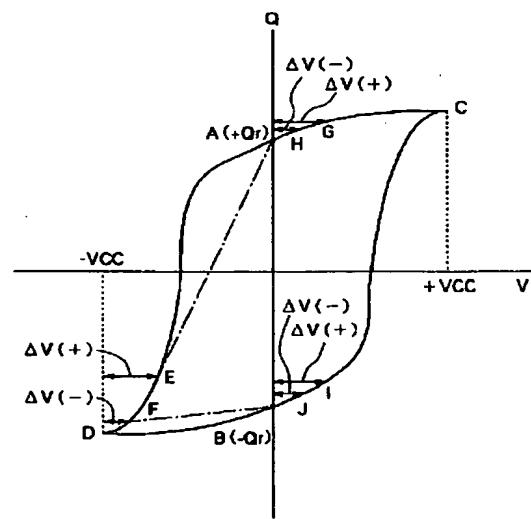
【図5】



【図6】

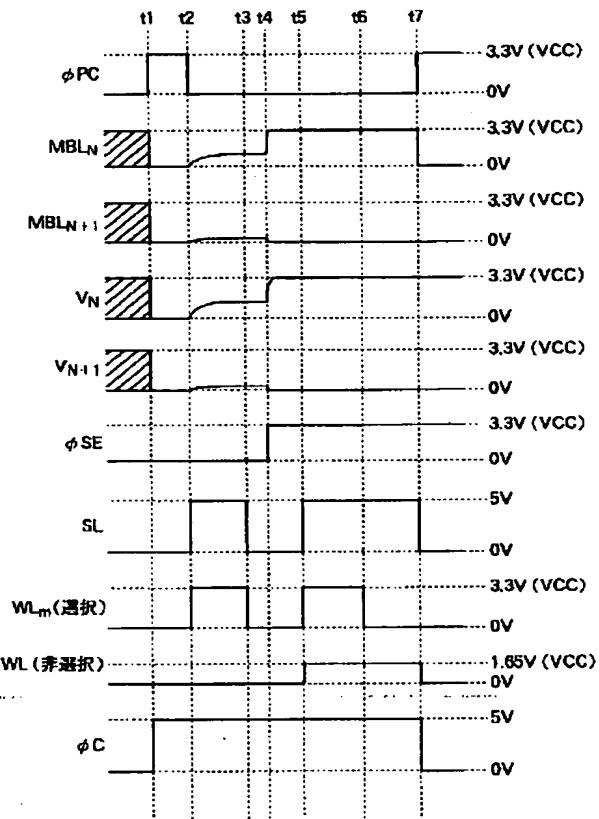


【図9】

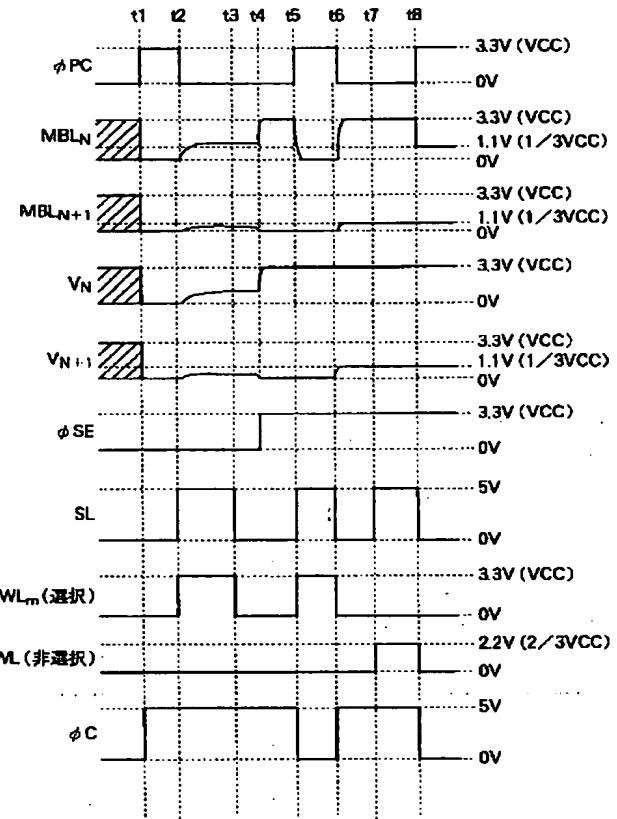


(14)

【図 7】

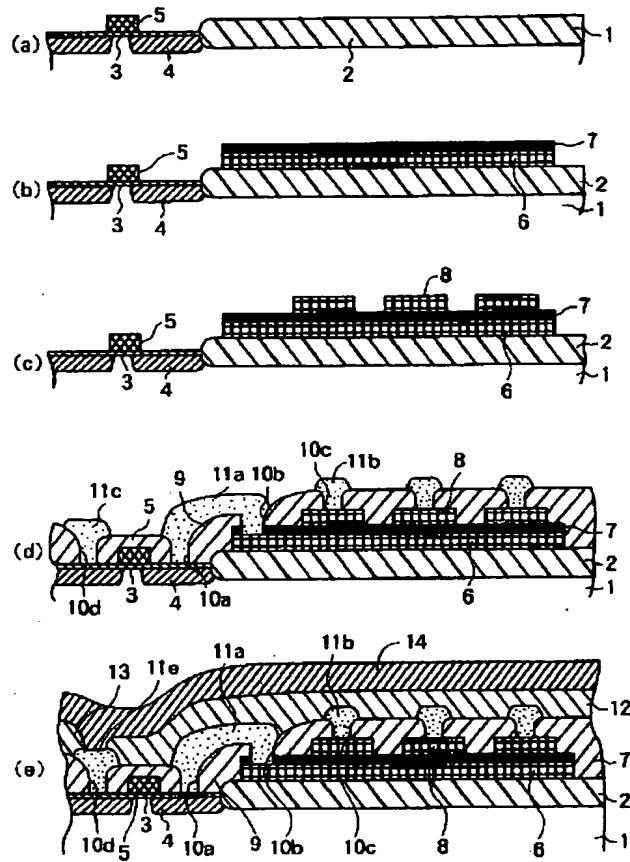


【図 8】

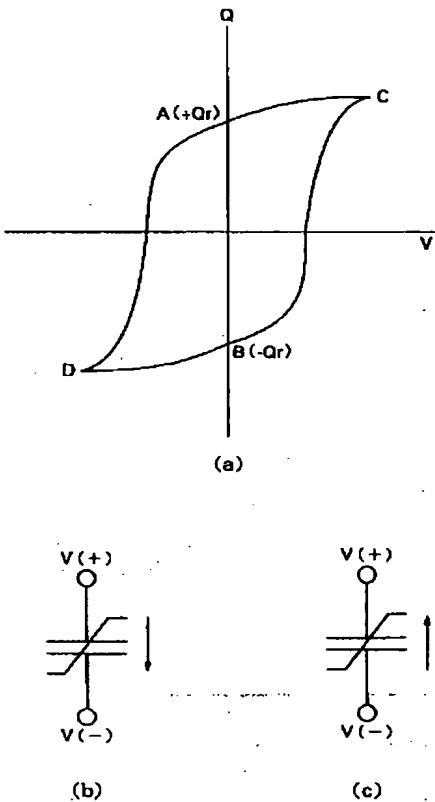


(15)

【図11】



【図12】



フロントページの続き

(51) Int.Cl. 6

H 01 L 21/8247

29/788

29/792

識別記号

府内整理番号

F I

技術表示箇所